SSAF™/高度パワー・マネージメント機能組込型 10ビットPAL/NTSCデジタル・ビデオ・エンコーダ

ADV7170/ADV7171*

特長

ITU-R BT601/656 YCrCb－PAL/NTSCビデオ・エンコーダ
高品質10ビット・ビデオD/AC
SSAF（スーパー・サブエイリアス・フィルタ）
高度パワー・マネージメント機能
CGMS（コピー・ジェネレーション・マネージメント・システム）
WSS（ワイド・スクリーン・シグナリング）
Y、U、V、Cフォーマット同時出力
NTSC-M、PAL-M/N、PAL-B/D/G/H/I、PAL-60
27 MHzクロック1系統が必要（2倍オーバー・サンプリング）
80 dBビデオS/N比
カラー・サブキャリア用32ビット・ダイレクト・デジタル・シンセサイザ
複数の標準ビデオ出力サポート：
- コンポジット（CVBS）
- コンポーネントS-Video（Y/C）
- コンポーネントYUVおよびRGB
- EuroSCART出力（RGB＋CVBS/LUMA）
- コンポーネントYUV＋CHROMA

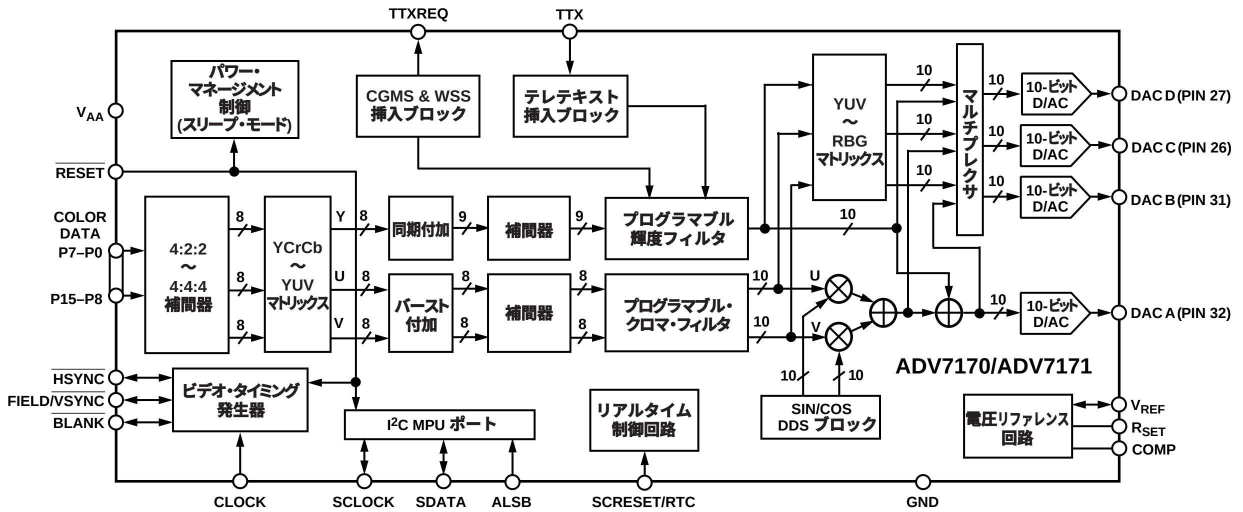
ビデオ入力データ・ポート・サポート：
- CCIR-656 4：2：2、8ビット・パラレル入力フォーマット
- 4：2：2.16ビット・パラレル入力フォーマット

SMPTE 170M NTSC互換コンポジット・ビデオ
ITU-R BT.470 PAL互換コンポジット・ビデオ
プログラム可能なコンポジットとS-Video、またはRGB（SCART）/YUVビデオ同時出力
プログラム可能な輝度フィルタ（ローパス[PAL/NTSC]）ノッチ、拡張（SSAF、CIF、QCIF）
プログラマブル・クロマ・フィルタ（ローパス[0.65 MHz、1.0 MHz、1.2 MHz、2.0 MHz]、CIFおよびQCIF）
プログラム可能なVBI（垂直帰線期間）
プログラム可能なサブキャリア周波数と位相
プログラム可能なLUMA遅延
各D/ACの個別ON/OFF制御
CCIRおよびスクエア・ピクセル・オペレーション
外部ビデオ・ソースへの総合サブキャリア・ロック
色信号制御/バースト信号制御
インタレース/ノンインタレース・オペレーション
完全オンチップ・ビデオ・タイミング・ジェネレータ
プログラム可能なマルチモード・マスタ/スレーブ・オペレーション
マクロビジョンAntiTaping Rev 7.01（ADV7170のみ可能）**
クローズド・キャプションのサポート
テレテキスト（文字放送）挿入ポート（PAL-WST）
カラー・バー信号発生器内蔵
電圧リファレンス内蔵
2線シリアルMPUインターフェース（I²C®コンパチブルおよび高速I²C）
＋5 Vまたは＋3.3 V単電源動作
小型44ピンPQFP/TQFPパッケージ

アプリケーション

高性能DVD再生システム、デジタル・スチル・カメラとラップトップPCを含むポータブル・ビデオ機器、ビデオ・ゲーム、PCビデオ/マルチメディアおよびデジタル衛星/ケーブル・システム（セット・トップ・ボックス/IRD）

機能ブロック図



*米国特許番号5,343,196および5,442,355、その他の知的財産権によって保護されています。
**本デバイスは、米国特許番号4,631,603、4,577,216、4,819,098、その他の知的財産権によって保護されています。デバイスで使用されるマクロビジョン・コピー・プロテクトのライセンス対象は、非営利目的の家庭用に限られます。マクロビジョン・コピー・プロテクトの最新バージョンについては、販売店にお尋ねください。

注意：本データ・シートでは、ITU-RとCCIRは同じ意味で使用されます（CCIR勧告は、ITU-R勧告に変わりました）。
SSAFは、アナログ・デバイセズ社の商標です。
I²Cは、フィリップス社の登録商標です。

REV.0

アナログ・デバイセズ株式会社

本　　社／東京都港区海岸１－１６－１　ニューピア竹芝サウスタワービル　電話03（5402）8200　〒105－6891
大阪営業所／大阪市淀川区宮原３－５－３６　新大阪第２森ビル　電話06（6350）6868㈹　〒532－0003

ADV7170/ADV7171—仕様

5 V仕様（V_{AA}＝＋5 V±5%[1]、V_{REF}＝1.235 V、R_{SET}＝150Ω。特に指定のない限り、すべての仕様はT_{MIN}～T_{MAX}[2]）

パラメータ	条件[1]	Min	Typ	Max	単位
スタティック性能					
分解能（各D/AC）				10	ビット
精度（各D/AC）					
積分非直線性	R_{SET}＝300Ω		±0.6		LSB
微分非直線性	保証モノトニック			±1	LSB
デジタル入力					
入力High電圧、V_{INH}		2			V
入力Low電圧、V_{INL}				0.8	V
入力電流、I_{IN}	V_{IN}＝0.4 V、または2.4 V			±1	μA
入力容量、C_{IN}			10		pF
デジタル出力					
出力High電圧、V_{OH}	I_{SOURCE}＝400 μA	2.4			V
出力Low電圧、V_{OL}	I_{SINK}＝3.2 mA			0.4	V
3ステート・リーク電流				10	μA
3ステート・出力容量			10		pF
アナログ出力					
出力電流[3]	R_{SET}＝150Ω、R_L＝37.5Ω	33	34.7	37	mA
出力電流[4]	R_{SET}＝1041Ω、R_L＝262.5Ω		5		mA
D/AC間マッチング			1.5		%
出力コンプライアンス、V_{OC}		0		＋1.4	V
出力インピーダンス、R_{OUT}			30		kΩ
出力容量、C_{OUT}	I_{OUT}＝0 mA			30	pF
電圧リファレンス					
リファレンス範囲、V_{REF}	$I_{VREFOUT}$＝20 μA	1.142	1.235	1.327	V
電源要件[5]					
V_{AA}		4.75	5.0	5.25	V
通常電源モード					
I_{DAC}(max)[6]	R_{SET}＝150Ω、R_L＝37.5Ω		150	155	mA
I_{DAC}(min)[6]	R_{SET}＝1041Ω、R_L＝262.5Ω		20		mA
I_{CCT}[7]			75	90	mA
低電力モード					
I_{DAC}(max)[6]			80		mA
I_{DAC}(min)[6]			20		mA
I_{CCT}[7]			75	90	mA
スリープ・モード					
I_{DAC}[8]			0.1		μA
I_{CCT}[9]			0.001		μA
電源除去比	COMP＝0.1 μF		0.01	0.5	%/%

注
1 仕様の最大値/最小値はこの範囲で保証されています。最大値/最小値は4.75 ～ 5.25 Vでの標準値です。
2 温度範囲T_{MIN}～T_{MAX}：0～＋70℃
3 37.5Ωの2重終端負荷を最大駆動した値です。
4 最小駆動電流（バッファ付き/スケール付き出力負荷で使用）です。
5 電力はクロック周波数＝27 MHz、最大T_J＝110℃で測定します。
6 I_{DAC}は4個のD/ACすべてを駆動する全電流（MinはD/ACあたり5 mAの出力、MaxはD/ACあたり37 mAの出力に相当）です。個々のD/ACをオフにするとI_{DAC}も減少します。
7 I_{CCT}（回路電流）はデバイス駆動に必要な連続電流です。
8 スリープ・モードにおける全D/AC電流です。
9 スリープ・モードにおける全連続電流です。

仕様は予告なく変更することがあります。

3.3 V仕様（V_{AA}＝＋3.0～＋3.6 V[1]、V_{REF}＝1.235 V、R_{SET}＝150Ω。特に指定のない限り、すべての仕様はT_{MIN}～T_{MAX}[2]）

パラメータ	条件[1]	Min	Typ	Max	単位
スタティック性能[3]					
分解能（各D/AC）				10	ビット
精度（各D/AC）					
積分非直線性	R_{SET}＝300Ω		±0.6		LSB
微分非直線性	保証モノトニック			±1	LSB
デジタル入力[3]					
入力High電圧、V_{INH}		2			V
入力Low電圧、V_{INL}				0.8	V
入力電流、I_{IN}[3,4]	V_{IN}＝0.4 V、または2.4 V			±1	μA
入力容量、C_{IN}			10		pF
デジタル出力[3]					
出力High電圧、V_{OH}	I_{SOURCE}＝400 μA	2.4			V
出力Low電圧、V_{OL}	I_{SINK}＝3.2 mA			0.4	V
3－ステート・リーク電流				10	μA
3－ステート・出力容量			10		pF
アナログ出力[3]					
出力電流[4,5]	R_{SET}＝150Ω、R_L＝37.5Ω	33	34.7	37	mA
出力電流[6]	R_{SET}＝1041Ω、R_L＝262.5Ω		5		mA
D/AC間マッチング			2.0		%
出力コンプライアンス、V_{OC}		0		＋1.4	V
出力インピーダンス、R_{OUT}			30		kΩ
出力容量、C_{OUT}	I_{OUT}＝0 mA			30	pF
電源要件[3,7]					
V_{AA}		3.0	3.3	3.6	V
通常電源モード					
I_{DAC}(max)[8]	R_{SET}＝150Ω、R_L＝37.5Ω		150	155	mA
I_{DAC}(min)[8]	R_{SET}＝1041Ω、R_L＝262.5Ω		20		mA
I_{CCT}[9]			35		mA
低電力モード					
I_{DAC}(max)[8]			80		mA
I_{DAC}(min)[8]			20		mA
I_{CCT}[9]			35		mA
スリープ・モード					
I_{DAC}[10]			0.1		μA
I_{CCT}[11]			0.001		μA
電源除去比	COMP＝0.1 μF		0.01	0.5	%/%

注

1 仕様の最大値/最小値はこの範囲で保証されています。最大値/最小値は3.0～ 3.6 Vでの標準値です。
2 温度範囲T_{MIN}～T_{MAX}：0～＋70℃
3 特性試験により保証されています。
4 37.5Ω負荷を最大駆動
5 標準3.3 VでD/ACは35 mAの出力が可能で（R_{SET}＝150Ω、R_L＝37.5Ω）、D/AC電流が18 mAのとき最適性能が得られます（R_{SET}＝300Ω、R_L＝75Ω）。
6 最小駆動電流（バッファ付き/スケール付き出力負荷で使用）です。
7 電力はクロック周波数＝27 MHz、最大T_J＝110℃で測定します。
8 I_{DAC}は4個のD/ACすべてを駆動する全電流（MinはD/ACあたり5 mAの出力、MaxはD/ACあたり37 mAの出力に相当）です。個々のD/ACをオフにするとI_{DAC}も減少します。
9 I_{CCT}（回路電流）とは、デバイス駆動に必要な連続電流です。
10 スリープ・モードにおける全D/AC電流です。
11 スリープ・モードにおける全連続電流です。

仕様は予告なく変更することがあります。

ADV7170/ADV7171—仕様

5 V ダイナミック仕様 (V_{AA}=+5 V±5%[1]、V_{REF}=1.235 V、R_{SET}=150Ω。特に指定のない限り、すべての仕様はT_{MIN}~T_{MAX}[2])

パラメータ	条件[1]	Min	Typ	Max	単位
微分ゲイン[3,4]	通常電源モード		0.3	0.7	%
微分位相[3,4]	通常電源モード		0.4	0.7	度
微分ゲイン[3,4]	低電力モード		1.0	2.0	%
微分位相[3,4]	低電力モード		1.0	2.0	度
S/N比[3,4](ペデスタル)	RMS		80		dB rms
S/N比[3,4](ペデスタル)	ピーク周期		70		dB p-p
S/N比[3,4](ランプ)	RMS		60		dB rms
S/N比[3,4](ランプ)	ピーク周期		58		dB p-p
色相精度[3,4]			0.7	1.2	度
カラー彩度精度[3,4]			0.9	1.4	%
クロマ非直線ゲイン[3,4]	40 IRE基準		0.6		±%
クロマ非直線位相[3,4]			0.3	0.5	±度
色度/輝度混変調[3,4]			0.2	0.4	±%
色度/輝度ゲイン差[3,4]			1.0	1.4	±%
色度/輝度遅延差[3,4]			0.5	2.0	ns
輝度非直線性[3,4]			0.8	1.4	±%
クロマAMノイズ[3,4]		82	85		dB
クロマPMノイズ[3,4]		79	81		dB

注
1 仕様の最大値/最小値はこの範囲で保証されています。最大値/最小値は4.75 ~ 5.25 Vでの標準値です。
2 温度範囲T_{MIN}~T_{MAX}:0~+70℃
3 特性試験により保証されています。
4 これらの仕様はローパス・フィルタに限定され、設計によって保証されています。

仕様は予告なく変更することがあります。

3.3 Vダイナミック仕様 (V_{AA}=+3.0 ~+3.6 V[1]、V_{REF}=1.235 V、R_{SET}=150Ω。特に指定のない限り、すべての仕様はT_{MIN}~T_{MAX}[2])

パラメータ	条件[1]	Min	Typ	Max	単位
微分ゲイン[3]	通常電源モード		1.0		%
微分位相[3]	通常電源モード		0.5		度
微分ゲイン[3]	低電力モード		0.6		%
微分位相[3]	低電力モード		0.5		度
S/N比[3](ペデスタル)	RMS		78		dB rms
S/N比[3](ペデスタル)	ピーク周期		70		dB p-p
S/N比[3](ランプ)	RMS		60		dB rms
S/N比[3](ランプ)	ピーク周期		58		dB p-p
色相精度[3]			1.0		度
カラー彩度精度[3]			1.0		%
輝度非直線性[3,4]			1.4		±%
クロマAMノイズ[3,4]			80		dB
クロマPMノイズ[3,4]			79		dB
クロマ非直線ゲイン[3,4]	40 IRE基準		0.6		±%
クロマ非直線位相[3,4]			0.3	0.5	±度
色度/輝度混変調[3,4]			0.2	0.4	±%

注
1 仕様の最大値/最小値はこの範囲で保証されています。最大値/最小値は4.75 ~ 5.25 Vでの標準値です。
2 温度範囲T_{MIN}~T_{MAX}:0~+70℃
3 特性試験により保証されています。
4 これらの仕様はローパス・フィルタに限定され、設計によって保証されています。他の内部フィルタについては図4を参照してください。

仕様は予告なく変更することがあります。

5 Vタイミング仕様 (V_{AA}＝4.75 ～5.25 V[1]、V_{REF}＝1.235 V、R_{SET}＝150Ω。特に指定のない限り、すべての仕様はT_{MIN}～T_{MAX}[2])

パラメータ	条件	Min	Typ	Max	単位
MPUポート[3,4]					
SCLOCK周波数		0		400	kHz
SCLOCK High・パルス幅、t_1		0.6			μs
SCLOCK Low・パルス幅、t_2		1.3			μs
ホールド時間（開始条件）、t_3	この期間の後、繰り返し開始条件に従って最初のクロックが生成されます。	0.6			μs
セットアップ時間（開始条件）、t_4		0.6			μs
データ・セットアップ時間、t_5		100			ns
SDATA, SCLOCK立ち上がり時間、t_6				300	ns
SDATA, SCLOCK立ち下がり時間、t_7				300	ns
セットアップ時間（停止条件）、t_8		0.6			μs
アナログ出力[3,5]					
アナログ出力遅延			7		ns
D/ACアナログ出力スキュー			0		ns
クロック制御とピクセル・ポート[5,6]					
f_{CLOCK}			27		MHz
クロック・High時間、t_9		8			ns
クロック・Low時間、t_{10}		8			ns
データ・セットアップ時間、t_{11}		3.5			ns
データ・ホールド時間、t_{12}		4			ns
コントロール・セットアップ時間、t_{11}		4			ns
コントロール・ホールド時間、t_{12}		3			ns
デジタル出力アクセス時間、t_{13}			11	16	ns
デジタル出力ホールド時間、t_{14}[4]			8		ns
パイプライン遅延、t_{15}[4]			48		Clock Cycles
テレテキスト[3,4,7]					
デジタル出力アクセス時間、t_{16}			20		ns
データ・セットアップ時間、t_{17}			2		ns
データ・ホールド時間、t_{18}			6		ns
リセット制御[3,4]					
$\overline{\text{RESET}}$ ロー時間		6			ns

注
1　仕様の最大値/最小値はこの範囲で保証されています。最大値/最小値は4.75 ～ 5.25 Vでの標準値です。
2　温度範囲T_{MIN}～T_{MAX}：0～＋70℃
3　TTL入力電圧値は、10～90%の間で測定し、入力立ち上がり/立ち下がり時間≦3nsの場合、0～3 Vです。入力および出力に対して、タイミング基準点は50%。アナログ出力負荷≦10pFです。
4　特性試験により保証されています。
5　CLOCKの立ち上がり50%点からフルスケール遷移の50%点で出力遅延を測定
6　ピクセル・ポートの内容は以下の通りです：
　ピクセル入力：P15～P0
　ピクセル制御：$\overline{\text{HSYNC}}$、FIELD/$\overline{\text{VSYNC}}$、$\overline{\text{BLANK}}$
　クロック入力：CLOCK
7　テレテキスト・ポートの内容は以下の通りです：
　テレテキスト出力：TTXREQ
　テレテキスト入力：TTX

仕様は予告なく変更することがあります。

ADV7170/ADV7171—仕様

3.3 Vタイミング仕様（V_{AA}＝3.0～3.6 V[1]、V_{REF}＝1.235 V、R_{SET}＝150Ω。特に指定のない限り、すべての仕様はT_{MIN}～T_{MAX}[2]）

パラメータ	条件	Min	Typ	Max	単位
MPUポート[3,4]					
SCLOCK周波数		0		400	kHz
SCLOCK High・パルス幅、t_1		0.6			μs
SCLOCK Low・パルス幅、t_2		1.3			μs
ホールド時間（開始条件）、t_3	この期間の後、繰り返し開始条件に従って最初のクロックが生成されます。	0.6			μs
セットアップ時間（開始条件）、t_4		0.6			μs
データ・セットアップ時間、t_5		100			ns
SDATA, SCLOCK立ち上がり時間、t_6				300	ns
SDATA, SCLOCK立ち下がり時間、t_7				300	ns
セットアップ時間（停止条件）、t_8		0.6			μs
アナログ出力[3,5]					
アナログ出力遅延			7		ns
D/ACアナログ出力スキュー			0		ns
クロック制御とピクセル・ポート[4,5,6]					
f_{CLOCK}			27		MHz
クロック・High時間、t_9		8			ns
クロック・Low時間、t_{10}		8			ns
データ・セットアップ時間、t_{11}		3.5			ns
データ・ホールド時間、t_{12}		4			ns
コントロール・セットアップ時間、t_{11}		4			ns
コントロール・ホールド時間、t_{12}		3			ns
デジタル出力アクセス時間、t_{13}			12		ns
デジタル出力ホールド時間、t_{14}			8		ns
パイプライン遅延、t_{15}			48		Clock Cycles
テレテキスト[3,4,7]					
デジタル出力アクセス時間、t_{16}			23		ns
データ・セットアップ時間、t_{17}			2		ns
データ・ホールド時間、t_{18}			6		ns
リセット制御[3,4]					
$\overline{\text{RESET}}$ロー時間		6			ns

注
1 仕様の最大値/最小値はこの範囲で保証されています。最大値/最小値は3.0 ～ 3.6 Vでの標準値です。
2 温度範囲T_{MIN}～T_{MAX}：0～＋70℃
3 TTL入力電圧値は、10～90%の間で測定し、入力立ち上がり/立ち下がり時間≦3nsの場合、0～3 Vです。入力および出力に対して、タイミング基準点は50%。アナログ出力負荷≦10pF
4 特性試験により保証されています。
5 CLOCKの立ち上がり50%点からフルスケール遷移の50%点で出力遅延を測定します。
6 ピクセル・ポートの内容は以下の通りです：
ピクセル入力：P15～P0
ピクセル制御：$\overline{\text{HSYNC}}$, FIELD/$\overline{\text{VSYNC}}$, $\overline{\text{BLANK}}$
クロック入力：CLOCK
7 テレテキスト・ポートの内容は以下の通りです：
テレテキスト出力：TTXREQ
テレテキスト入力：TTX

仕様は予告なく変更することがあります。

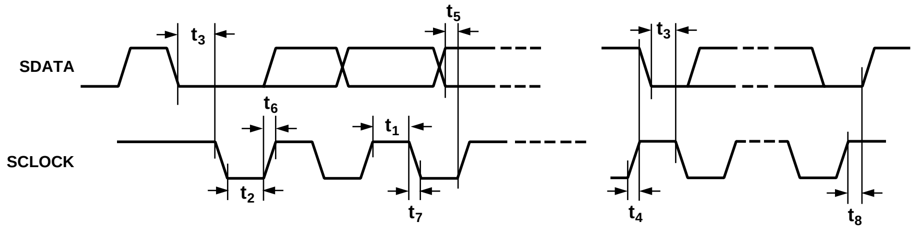


図1．MPUポート・タイミング図

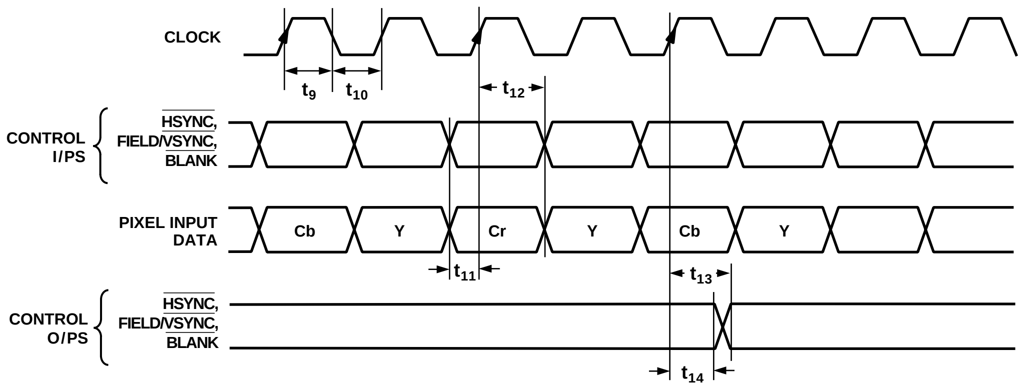


図2．ピクセルおよび制御データ・タイミング図

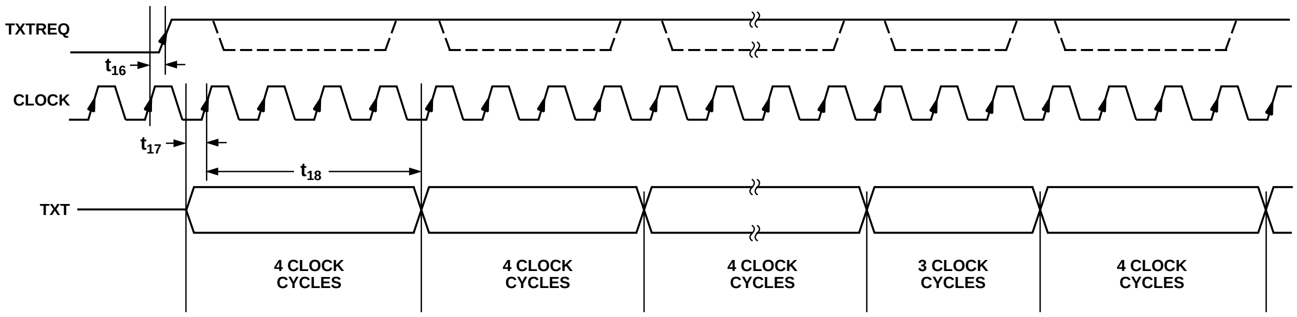


図3．テレテキスト・タイミング図

絶対最大定格[1]

V_{AA}～GND ………………………… 7 V
任意のデジタル入力ピン電圧 ……… GND－0.5 V～V_{AA}＋0.5 V
保存温度（T_S）……………………… －65～＋150℃
接合温度（T_J）……………………… ＋150℃
リード温度（半田付け、10秒）……… ＋260℃
アナログ出力－GND[2] ……………… GND－0.5 V～V_{AA}

注
1 "絶対最大定格"に示す条件を超えるストレスは、デバイスに永久的な損傷を与える場合があります。これは単に定格を示したもので、これらの条件あるいは動作仕様に示した値を超える条件下でデバイスが機能することを意味するものではありません。絶対最大定格の条件に長時間さらされた場合、デバイスの信頼性は保証されません。
2 いずれかの電源または共通電源に対するアナログ出力の短絡時間についての制限はありません。

パッケージの温度性能

本デバイスに使用されている44ピンPQFPパッケージは、アナログ・デバイセズ社が特許を持つサーマル・コーストライン・リード・フレーム構造となっています。したがって、リードへの最大の熱伝導が得られ、パッケージの熱抵抗が低くなります。

4層PCB上の静止空気における接合－周囲（θ_{JA}）温度抵抗は、35.5℃/Wです。接合－ケース（θ_{JC}）温度抵抗は、13.75℃/Wです。

表I．KSおよびSUパッケージ・オプションの許容動作条件

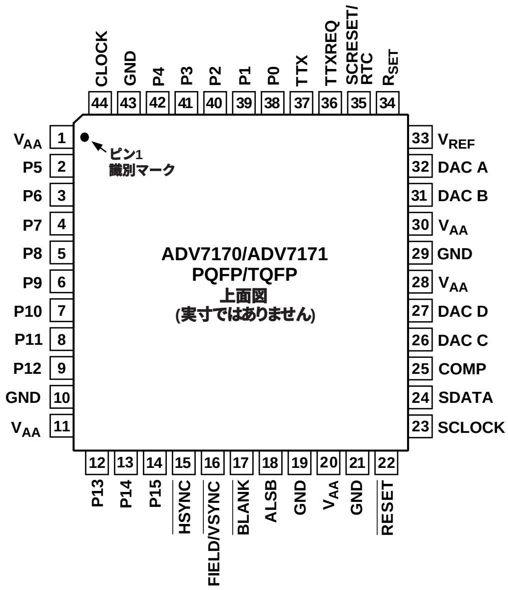
条件	KS 3 V	KS 5 V	SU 3 V	SU 5 V
4 D/AC ON ダブル75R[1]	Yes	Yes	Yes	No
4 D/AC ON 低電力[2]	Yes	Yes	Yes	No
4 D/AC ON バッファリング[3]	Yes	Yes	Yes	Yes
3 D/AC ON ダブル75R	Yes	Yes	Yes	No
3 D/AC ON 低電力	Yes	Yes	Yes	Yes
3 D/AC ON バッファリング	Yes	Yes	Yes	Yes
2 D/AC ON ダブル75R	Yes	Yes	Yes	Yes
2 D/AC ON 低電力	Yes	Yes	Yes	Yes
4 D/AC ON バッファリング	Yes	Yes	Yes	Yes

注
1 D/AC ON ダブル75Rとは、D/ACが2重75R負荷で終端され、低電力モードが無効な状態を意味します。
2 D/AC ON 低電力とは、D/ACが2重75R負荷で終端され、低電力モードが有効な状態を意味します。
3 D/AC ON バッファリングとは、D/AC電流が5 mAに減少し、ビデオ負荷の駆動に外部バッファが使用されている状態を意味します。

オーダー・ガイド

モデル	温度範囲	パッケージ構造	パッケージ・オプション
ADV7170KS	0～＋70℃	プラスチック・クワッド・フラット・パッケージ	S－44
ADV7170SU	0～＋70℃	薄型プラスチック・クワッド・フラット・パッケージ	SU－44
ADV7171KS	0～＋70℃	プラスチック・クワッド・フラット・パッケージ	S－44
ADV7171SU	0～＋70℃	薄型プラスチック・クワッド・フラット・パッケージ	SU－44

ピン配列



注意
ESD（静電放電）の影響を受けやすいデバイスです。4000 Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることもあります。このADV7170/ADV7171には当社独自のESD保護回路が備えられていますが、高エネルギーの静電放電にさらされたデバイスには回復不能な損傷が残ることもあります。したがって、性能低下や機能喪失を避けるために、適切なESD予防措置をとるようお奨めします。



ピン機能説明

ピン名称	入力/出力	機能
P15～P0	I	8ビット4：2：2多重化YCrCbピクセル・ポート（P7～P0）ピンまたは16ビットYCrCbピクセル・ポート（P15～P0）ピンです。P0はLSBを示します。
CLOCK	I	TTLクロック入力ピンです。標準動作には、安定した27 MHz基準クロックが必要です。スクエア・ピクセル動作には、24.52 MHz（NTSC）または29.5 MHz（PAL）を替わりに使用できます。
$\overline{\text{HSYNC}}$	I/O	$\overline{\text{HSYNC}}$（モード1とモード2）制御信号ピンです。このピンは、同期信号の出力（マスター・モード）、または入力（スレーブ・モード）として構成することができます。
FIELD/$\overline{\text{VSYNC}}$	I/O	デュアル・ファンクション・フィールド（モード1）および$\overline{\text{VSYNC}}$（モード2）制御信号用のピンです。このピンはこれらの制御信号の出力（マスター・モード）、または入力（スレーブ・モード）として構成することができます。
$\overline{\text{BLANK}}$	I/O	ビデオ・ブランキング制御信号用のピンです。この制御信号の論理レベルが“0”のとき、ピクセル入力は無視されます。この信号はオプションです。
SCRESET/RTC	I	サブキャリア・リセット・ピンです。このピンでモード・レジスタ2のMR22およびMR21をセットし、入力ピンにすることができます。このピンのハイからローへの遷移でサブキャリアのフィールドを0にリセットします。また、リアルタイム制御（RTC）入力ピンとすることもできます。
V_{REF}	I/O	D/ACの電圧リファレンス入力または電圧リファレンス出力（1.235 V）ピンです。
R_{SET}	I	このピンからGNDに接続した150Ω抵抗で、ビデオ信号のフルスケール振幅を制御します。
COMP	O	補償ピンです。このCOMPピンから0.1μFのコンデンサをV_{AA}に接続します。低電力モードで最適なダイナミック性能を得るために、COMPコンデンサの値を2.2nFまで小さくすることができます。
DAC A	O	PAL/NTSCコンポジット・ビデオ出力ピンです。フルスケール出力はNTSCで180 IRE（1286 mV）、PALで1300 mVです。
DAC C	O	RED/S-Video C/Vアナログ出力ピンです。
DAC D	O	GREEN/S-Video Y/Yアナログ出力ピンです。
DAC B	O	BLUE/コンポジット/Uアナログ出力ピンです。
SCLOCK	I	MPUポート・シリアル・インターフェース・クロック入力ピンです。
SDATA	I/O	MPUポート・シリアル・データ入/出力ピンです。
ALSB	I	TTLアドレス入力ピンです。この信号で、MPUアドレスのLSBを設定します。
$\overline{\text{RESET}}$	I	オンチップ・タイミング・ジェネレータをリセットし、ADV7170/ADV7171をデフォルト・モードにする入力ピンです。デフォルト・モードとは、NTSC動作、タイミング・スレーブ・モード0、8ビット・オペレーション、2×コンポジットとS-Video出力、DAC B電源オン、DAC D電源OFFの状態です。
TTX/V_{AA}	I	テレテキストが選択されない場合、テレテキスト・データ/デフォルトをV_{AA}にするピンです。（ADV7175/ADV7176との下位互換性を有効にします。）
TTXREQ/GND	O	テレテキストが選択されない場合、テレテキスト・データ・リクエスト信号/デフォルトをGNDにするピンです。（ADV7175/ADV7176との下位互換性を有効にします。）
V_{AA}	P	電源（＋3～＋5 V）ピンです。
GND	G	グランド・ピンです。

概要

ADV7170/ADV7171は、デジタルCCIR-601 4：2：2、8または16ビット・コンポーネント・ビデオ・データを国際標準互換の標準アナログ・ベースバンド・テレビ信号に変換する統合デジタル・ビデオ・エンコーダです。

拡張輝度信号周波数応答およびシャープなストップ・バンド減衰機能を持つオンボードSSAF（スーパー・サブエイリアス・フィルタ）により、最新のテレビにおいて最適水平解像度でスタジオ品質のビデオ再生が可能です。

高度パワー・マネージメント機能回路により、通常動作モードおよびパワー・ダウン／スリープ・モードの両方で最適な消費電力制御が可能です。

ADV7170/ADV7171は、PALとNTSC両方でスクエア・ピクセル・オペレーションもサポートしています。WSSおよびCGMS-Aデータ制御ジェネレータも組み込まれています。

出力ビデオ・フレームは、入力データ・タイミング基準コードに同期します。オプションとして、エンコーダにHSYNC、VSYNCおよびFIELDタイミング信号を入力（および生成）することができます。これらのタイミング信号は、デバイスがマスター・モードに設定された場合、パルス幅と位置を変えるために調整することができます。標準動作では、一系統の2倍ピクセル・レート（27 MHz）クロックがエンコーダに必要です。NTSCスクエア・ピクセル・モードの動作では24.54MHzクロック、PALスクエア・ピクセル・モードの動作では29.5MHzクロックがエンコーダに必要となります。すべての内部タイミングは、オンチップで生成されます。

別のテレテキスト・ポートから、ユーザーが垂直帰線期間に直接テレテキスト・データを入力することができます。

ADV7170/ADV7171モードは、2スレーブ・アドレスの2線シリアル双方向ポート（I²Cコンパチブル）で設定されます。

ADV7170がマクロビジョン・コピー防止アルゴリズムを出力できる点を除いて、ADV7171とADV7170は機能的には同じです。

ADV7170/ADV7171は、44ピンPQFPまたは44ピンTQFPとして提供されます。

データ・パス概要

PAL B、D、G、H、I、M、NおよびNTSC M、Nモードでは、CCIR-656互換ピクセル・ポートを経由して、27 MHzのデータ・レートでYCrCb 4：2：2データが入力されます。ピクセル・データは、3系統のデータ・パスを形成するようにディマルチプレクスされます。通常、Y信号レンジは16～235で、Cr/Cb信号レンジは128±112になります。しかし、Y信号およびCb/Cr信号の両方について、1～254のレンジのデータを入力することができます。ADV7170/ADV7171は、PAL（B、D、G、H、I、M、N）およびNTSC（ペデスタル付加またはペデスタルなし）標準をサポートしています。SYNC、BLANK、それにバースト・レベルがYCrCb信号に付加されます。マクロビジョン・コピー防止（ADV7170のみ）、クローズド・キャプション、テレテキスト・レベルもY信号に付加され、その出力データは27MHzのレートで補間されます。補間されたデータは、3つのデジタルFIRフィルタを通り、スケーリングされます。

U/V信号は、所定のサブキャリア位相（サイン/コサイン）でそれぞれ変調され、加算されてクロマ信号になります。輝度（Y）信号は、クロマ信号に対して1～3輝度サイクル（各サイクルは74ns）ほど遅延させることができます。遅延を受けた輝度信号は、クロマ信号に加算され、コンポジット・ビデオ信号になります。すべてのエッジはスルーレートで制限されます。

YCrCbデータは、所定のSYNCおよびBLANKレベルを持つRGBデータの生成にも使用されます。RGBデータは、コンポジット・ビデオ出力に同期しています。RGBデータの代わりに、アナログYUVデータを生成することもできます。

4つの10ビットD/ACにより、次の信号が出力できます。

1. コンポジット・ビデオ＋RGB ビデオ
2. コンポジット・ビデオ＋YUV ビデオ
3. 2系統コンポジット・ビデオ信号＋輝度およびクロマ（Y/C）信号

不要であれば、個々のD/ACの電源を別々にオフにすることもできます。

ビデオ出力レベルについては、付録6に図示します。

内蔵フィルタ応答

Yフィルタは、2系統のローパス、2系統のノッチ、拡張モード（SSAF）、CIF、QCIFなど、いくつかの異なる周波数応答をサポートしています。UVフィルタも、4系統のローパス、CIF、QCIなど、いくつかの異なる周波数応答をサポートしています。次の図4～18にこれらのフィルタ特性を示します。

フィルタ・タイプ	フィルタ・セレクション MR04	MR03	MR02	通過帯域リップル (dB)	3 dBバンド幅 (MHz)	ストップ・バンド・カットオフ (MHz)	ストップ・バンド減衰 (dB)
ローパス (NTSC)	0	0	0	0.091	4.157	7.37	−56
ローパス (PAL)	0	0	1	0.15	4.74	7.96	−64
ノッチ (NTSC)	0	1	0	0.015	6.54	8.3	−68
ノッチ (PAL)	0	1	1	0.095	6.24	8.0	−66
拡張モード (SSAF)	1	0	0	0.051	6.217	8.0	−61
CIF	1	0	1	0.018	3.0	7.06	−61
QCIF	1	1	0	モノトニック	1.5	7.15	−50

図4．輝度内蔵フィルタ仕様

フィルタ・タイプ	フィルタ・セレクション MR07	MR06	MR05	通過帯域リップル (dB)	3 dBバンド幅 (MHz)	ストップ・バンド・カットオフ (MHz)	ストップ・バンド減衰 (dB)
1.3 MHzローパス	0	0	0	0.84	1.395	3.01	−45
0.65 MHzローパス	0	0	1	モノトニック	0.65	3.64	−58.5
1.0 MHzローパス	0	1	0	モノトニック	1.0	3.73	−49
2.0 MHzローパス	0	1	1	0.0645	2.2	5.0	−40
予約	1	0	0				
CIF	1	0	1	0.084	10.7	3.01	−45
QCIF	1	1	0	モノトニック	0.5	4.08	−50

図5．クロマ内蔵フィルタ仕様

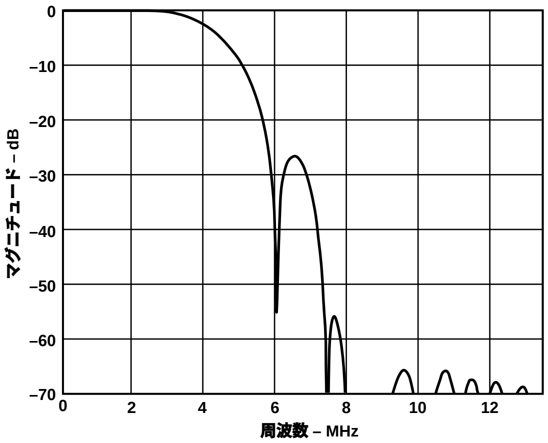


図6．NTSCローパス輝度フィルタ

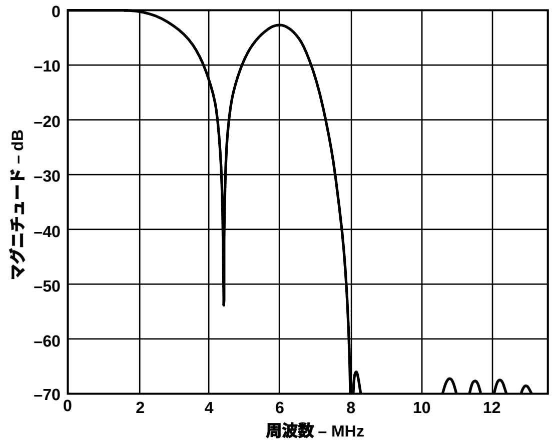


図9．PALノッチ輝度フィルタ

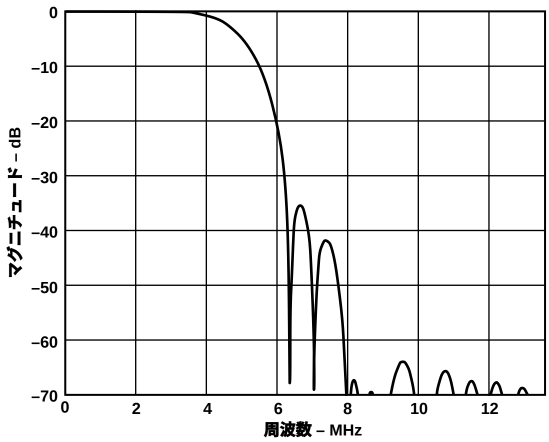


図7．PALローパス輝度フィルタ

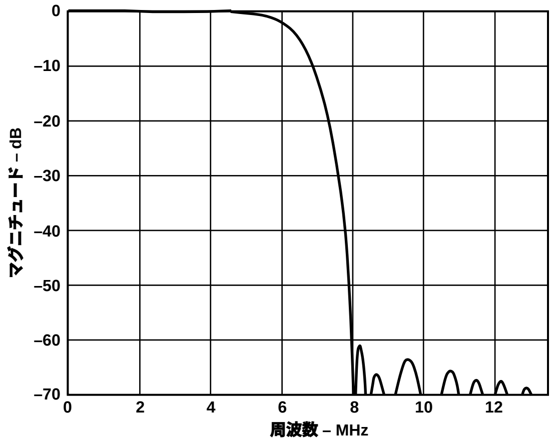


図10．拡張モード（SSAF）輝度フィルタ

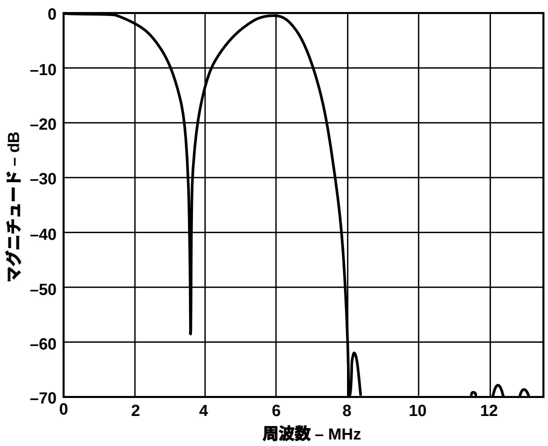


図8．NTSCノッチ輝度フィルタ

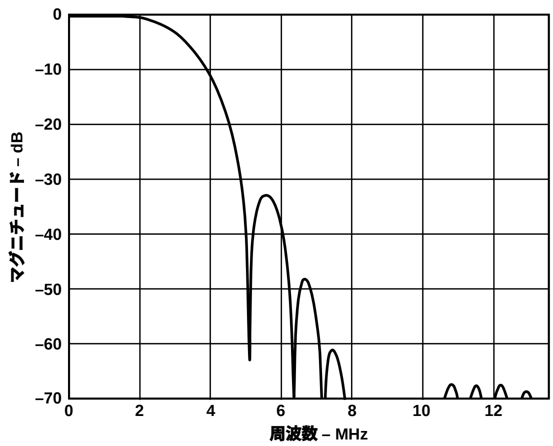


図11．CIF輝度フィルタ

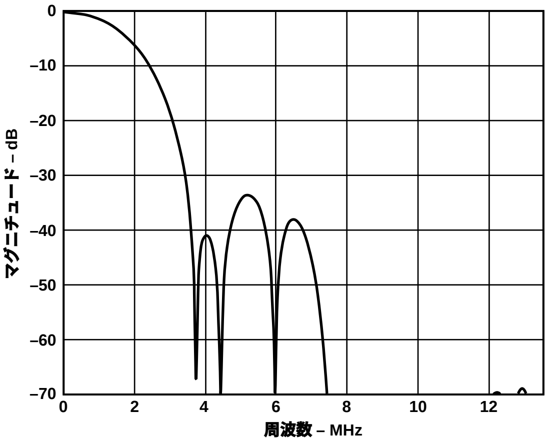


図12．QCIF輝度フィルタ

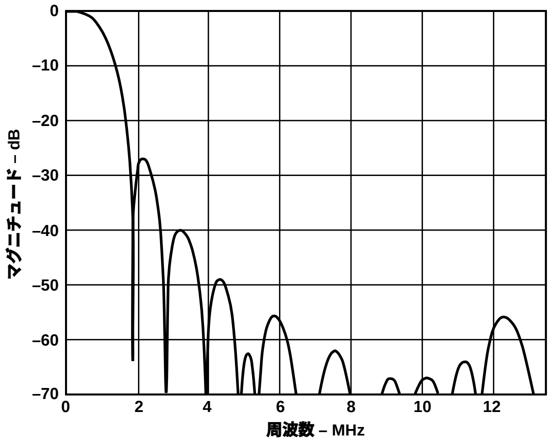


図15．1.0 MHzローパス・クロマ・フィルタ

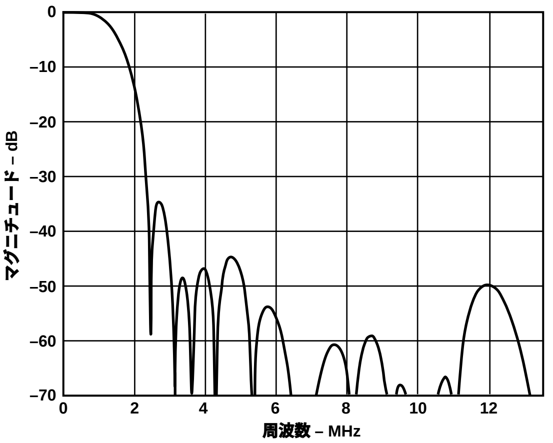


図13．1.3 MHzローパス・クロマ・フィルタ

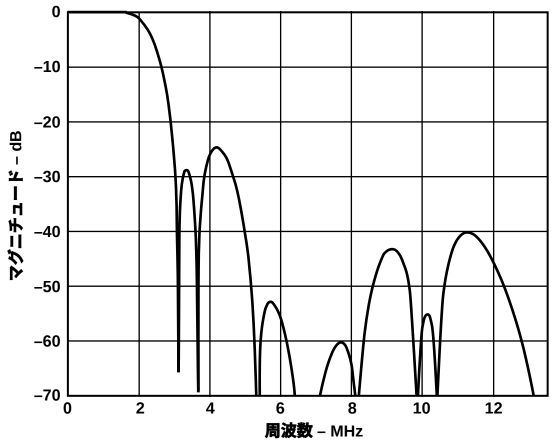


図16．2.0 MHzローパス・クロマ・フィルタ

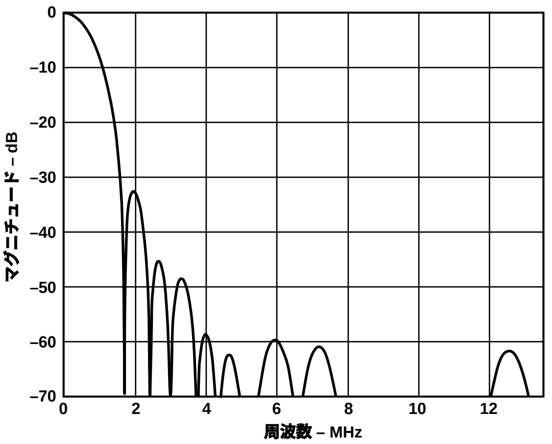


図14．0.65 MHzローパス・クロマ・フィルタ

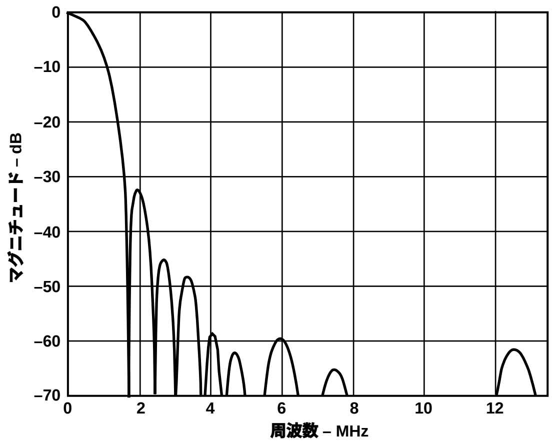


図17．CIFクロマ・フィルタ

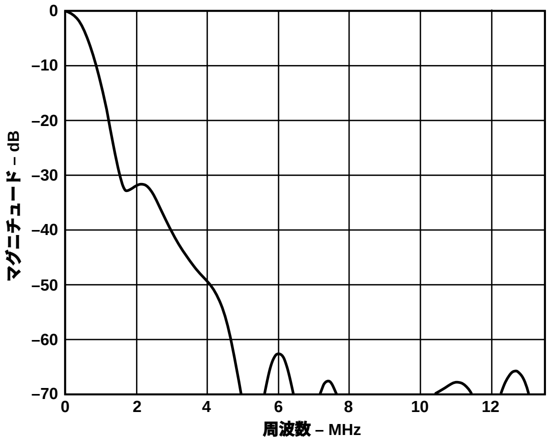


図18．QCIFクロマ・フィルタ

カラー・バー生成

ADV7170/ADV7171は、NTSCの75％振幅、75％飽和（75/7.5/75/7.5）カラー・バーまたはPALの75％振幅、100％飽和（100/0/75/0）カラー・バーを生成することができます。カラーバー生成機能は、モード・レジスタ1のMR17を論理"1"にすると有効になります。

スクエア・ピクセル・モード

ADV7170/ADV7171は、スクエア・ピクセル・モードで動作させることができます。NTSC動作では、24.5454MHzの入力クロックが必要です。PAL動作では、29.5MHzの入力クロックが必要です。これらのクロックにより、内蔵タイミング・ロジックがスクエア・ピクセル・モードの動作を調整します。

カラー信号制御

モード・レジスタ2のビットMR24を使用して、ビデオ出力のカラー信号のオン・オフができます。

バースト信号制御

モード・レジスタ2のビットMR25を使用して、ビデオ出力のバースト信号のオン・オフができます。

NTSCペデスタル制御

NTSCペデスタル制御レジスタを使用して、奇数および偶数フィールドの両方のペデスタルをラインごとに制御できます。これによって垂直ブランキング期間（ライン10～25およびライン273～288）のペデスタルを制御することができます。

ピクセル・タイミング概要

ADV7170/ADV7171は、8ビットYCrCbモードまたは16ビットYCrCbモードのどちらでも動作させることができます。

8ビットYCrCbモード

これはデフォルト・モードです。P7～P0ピクセル入力を通して多重化YCrCbを入力します。入力の順番は、Cb0、Y0 Cr0、Y1 Cb1、Y2のようになります。Y、Cb/Crデータは、立ち上がりのクロック・エッジで入力されます。

16ビットYCrCbモード

このモードでは、P7～P0ピクセル入力を通してYを入力し、P15～P8ピクセル入力を通して多重化Cr/Cbを入力します。データはクロック1つおきの立ち上がりエッジでロードされます。入力の順番は、Cb0、Y0 Cr0、Y1 Cb1、Y2のようになります。

サブキャリア・リセット

SCRESET/RTCピンと、モード・レジスタ2のビットMR22およびビットMR21を使用して、ADV7170/ADV7171をサブキャリア・リセット・モードで使用することができます。この入力ピンのレベルがローからハイに変わると、次のフィールドの開始点で、サブキャリアがフィールド0にリセットされます。

リアルタイム制御

SCRESET/RTCピンと、モード・レジスタ2のビットMR22およびビットMR21を使用して、ADV7170/ADV7171を外部ビデオ・ソースにロックさせることができます。リアルタイム制御モードでは、ADV7170/ADV7171が自動的にサブキャリア周波数を変えて、ライン期間の変化を補償します。本デバイスがRTCフォーマットでデジタル・データ・ストリームを出力するデバイス（ADV7185ビデオ・デコーダなど。図19参照）に接続された場合、デバイスのモードが自動的にラインごとに補償されたサブキャリア周波数に変わります。このデジタル・データ・ストリームは、67ビット幅で、サブキャリアはビット0からビット21に含まれます。各ビットは、2クロック・サイクル長です。このモードで使用する場合、すべての4つのサブキャリア周波数レジスタに、00Hexを書き込まなければなりません。

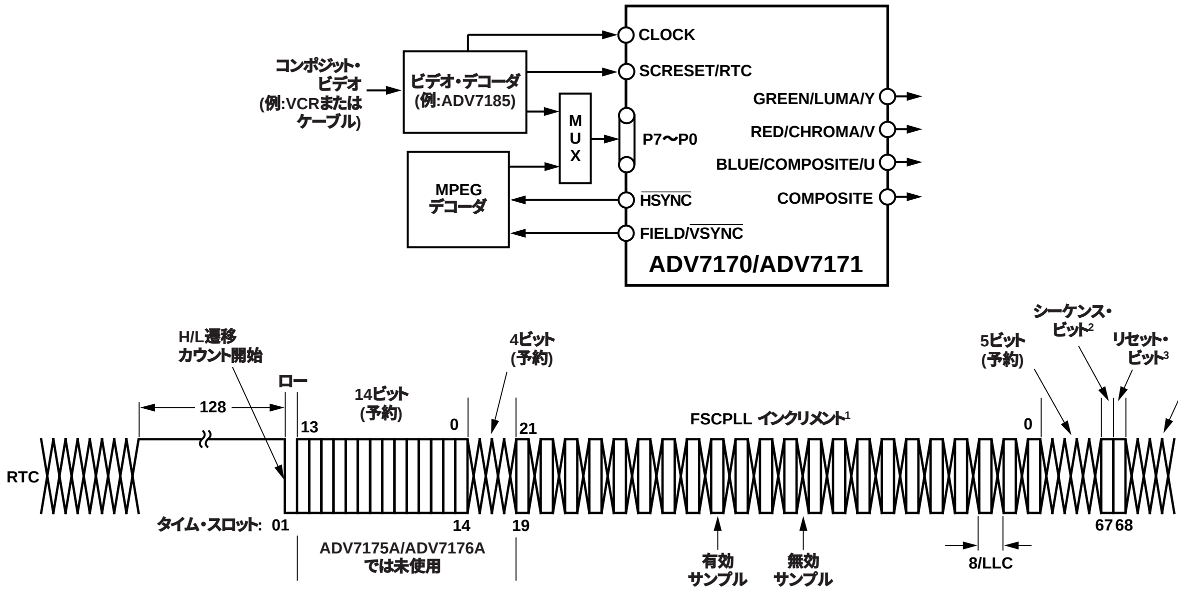
ビデオ・タイミング概要

ADV7170/ADV7171は、市販のMPEG1およびMPEG2デコーダとインターフェースできるように設計されています。したがって、ADV7170/ADV7171のCCIR-656ピクセル・ポートから4：2：2 YCrCbピクセル・データを入力できます。また、複数のビデオ・タイミング動作モードを持っているので、システム・ビデオ・タイミング・ジェネレータのマスターまたはスレーブのいずれにも構成できます。ADV7170/ADV7171は、アナログ・ビデオ出力に必要なすべての水平および垂直タイミング周期とレベルを生成します。

ADV7170/ADV7171は、アナログ同期パルス、ブランキング・レベル、カラー・バースト・エンベロープの幅と位置を計算します。必要なラインでカラー・バーストを無効にすることができます。また、必要に応じて、切り込みパルスと等価パルスを挿入することもできます。

さらに、ADV7170/ADV7171は、スレーブ・モードにおいてPALまたはNTSCスクエア・ピクセル動作に対応しています。この場合、NTSC動作では、24.5454MHzの入力ピクセル・クロックが必要です。PAL動作では、29.5MHzの入力ピクセル・クロックが必要です。内蔵水平ライン・カウンタにより、種々のビデオ波形部分が新しいクロック周波数に応じた正しい位置に調整されます。

ADV7170/ADV7171は、4つの独立したマスター・タイミングと4つの独立したスレーブ・タイミングに対応しています。タイミング制御は、双方向の$\overline{\text{SYNC}}$、$\overline{\text{BLANK}}$、およびFIELD/$\overline{\text{VSYNC}}$ピンで行います。タイミング・モード・レジスタ1は、個々のタイミング・パルス幅とその位置の調整にも使用できます。



注意:

1 F_{SC} PLLインクリメントは、22ビット長になります。ADV7175A/ADV7176AのF_{SC} DDSレジスタにロードされる値は、F_{SC} PLLインクリメント・ビット21:0にサブキャリア周波数レジスタのビット0:9を加算した値です。ADV7170/ADV7171のサブキャリア周波数レジスタには、オール・ゼロを書き込まなければなりません。

2 シーケンス・ビット
PAL:0 = 非反転ライン、1 = 反転ライン
NTSC:0 = 変化なし

3 リセット・ビット
ADV7175A/ADV7176AのDDSをリセット

図19．RTCタイミングおよび接続

垂直ブランキング・データ挿入

水平同期またはプリ／ポスト等価パルスを含まないVBI中の水平期間のYCbCr入力データをエンコードすることが可能です（図21〜32を参照）。この動作モードは、「部分ブランキング」と呼ばれ、MR31を“1”にして設定します。このモードでは、エンコードされた出力波形に、任意のVBIデータ（オープンVBI）を入力することができます。このデータは、デジタル化された入力YCbCrデータ・ストリームに含まれます（例：WSSデータ、CGMS、VPSなど）。また、MR31を“0”にして全VBIをブランキングすることもできます（VBIデータは何も挿入されません）。

完全なVBIは、次のラインで構成されます。

525/60システム：フィールド1ではライン525〜21、フィールド2ではライン262〜284

625/50システム：ライン624〜22、ライン311〜335

「オープンVBI」は、次のラインで構成されます。

525/60システム：フィールド1ではライン10〜21、フィールド2ではライン273の後ろ半分からライン284

625/50システム：ライン7〜22、ライン319〜335

モード0（CCIR-656）：スレーブ・オプション

（タイミング・レジスタ0 TR0＝XXXXX000）

ADV7170/ADV7171は、ピクセル・データのSAV（スタート・アクティブ・ビデオ）およびEAV（エンド・アクティブ・ビデオ）タイム・コードで制御されます。すべてのタイミング情報は、4バイト同期パターンで伝送されます。同期パターンは、アクティブ・ビデオと帰線の両期間において、各ラインの直前と直後に伝送されます。図20にモード0を示します。HSYNC、FIELD/VSYNC、BLANKピン（使用しない場合）は、このモードではハイ・レベルに固定しなければなりません。

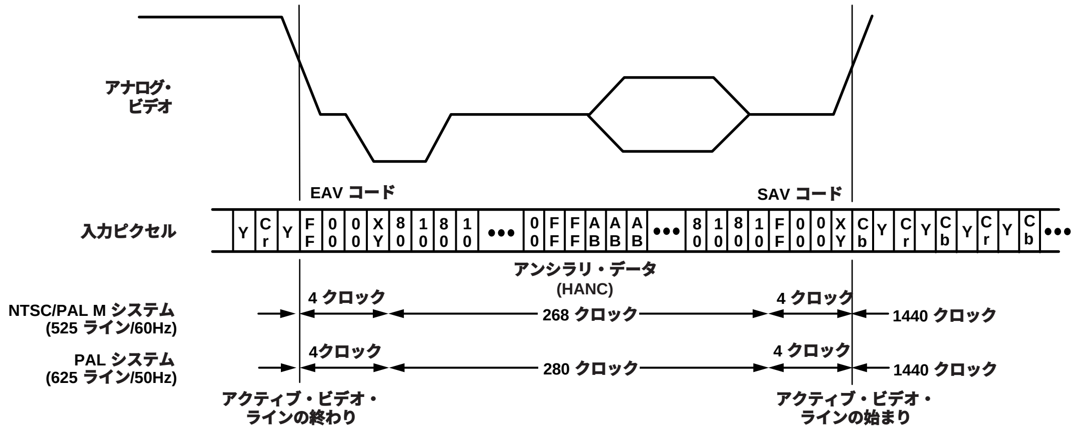


図20. タイミング・モード0（スレーブ・モード）

モード0（CCIR-656）：マスター・オプション
（タイミング・レジスタ0 TR0＝XXXXX001）

ADV7170/ADV7171は、CCIR656標準のSAV（スタート・アクティブ・ビデオ）およびEAV（エンド・アクティブ・ビデオ）タイム・コードに必要なH、V、F信号を生成します。Hビットは$\overline{HSYNC}$ピンから出力され、Vビットは$\overline{BLANK}$ピンから出力され、FビットはFIELD/$\overline{VSYNC}$ピンから出力されます。図21および図22に、それぞれNTSCおよびPALのモード0を示します。図23にビデオ波形に関係するH、V、Fの遷移を示します。

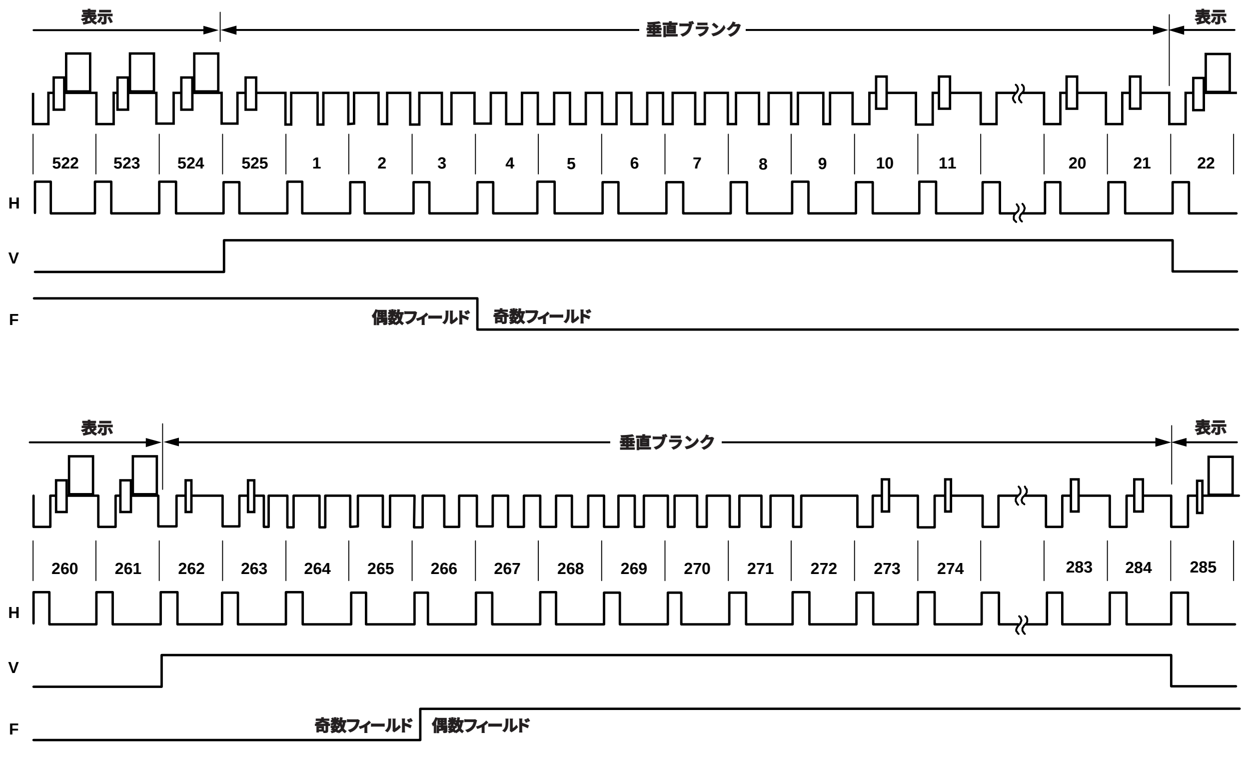


図21. タイミング・モード0（NTSCマスター・モード）

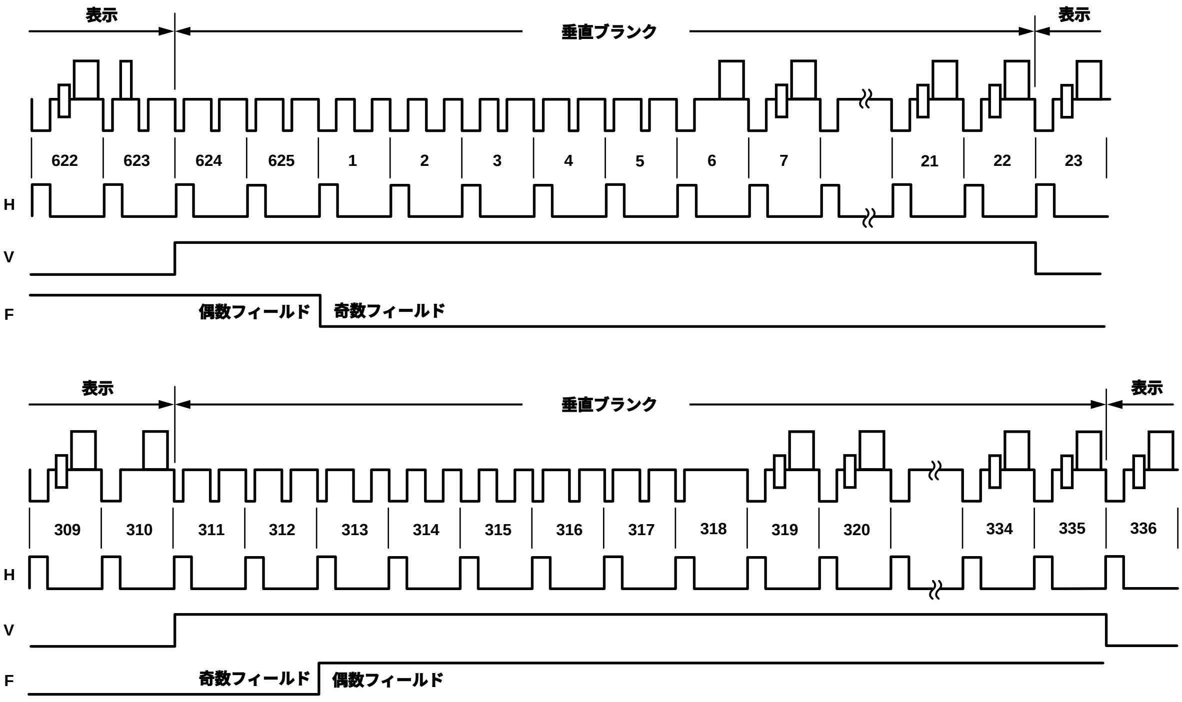


図22．タイミング・モード0（PALマスター・モード）

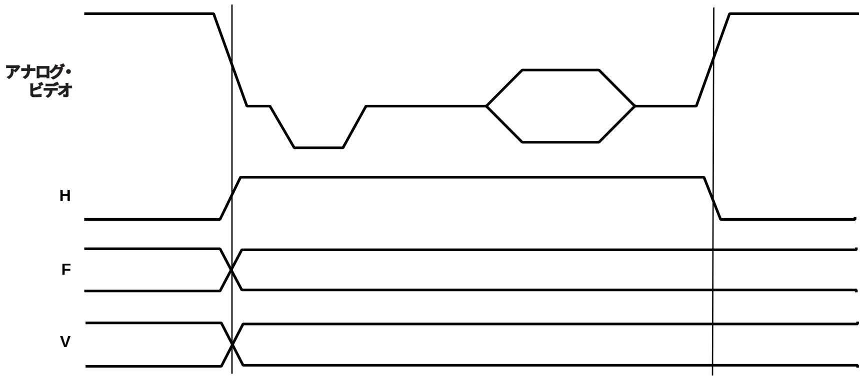


図23．タイミング・モード0のデータ遷移（マスター・モード）

モード1：スレーブ・オプションHSYNC、BLANK、FIELD
（タイミング・レジスタ 0 TR0＝X X X X X 0 1 0）

このモードでは、ADV7170/ADV7171に水平同期（SYNC）信号と奇数／偶数フィールド（FIELD）信号を入力します。HSYNCレベルがローの場合、FIELD入力の遷移は新しいフレーム、すなわち垂直帰線を示します。BLANK信号はオプションです。BLANK入力を無効にすると、CCIR-624標準規格に準拠して、ADV7170/ADV7171がすべての通常ブランク・ラインを自動的にブランクします。図24および図25に、それぞれNTSCおよびPALのモード1を示します。

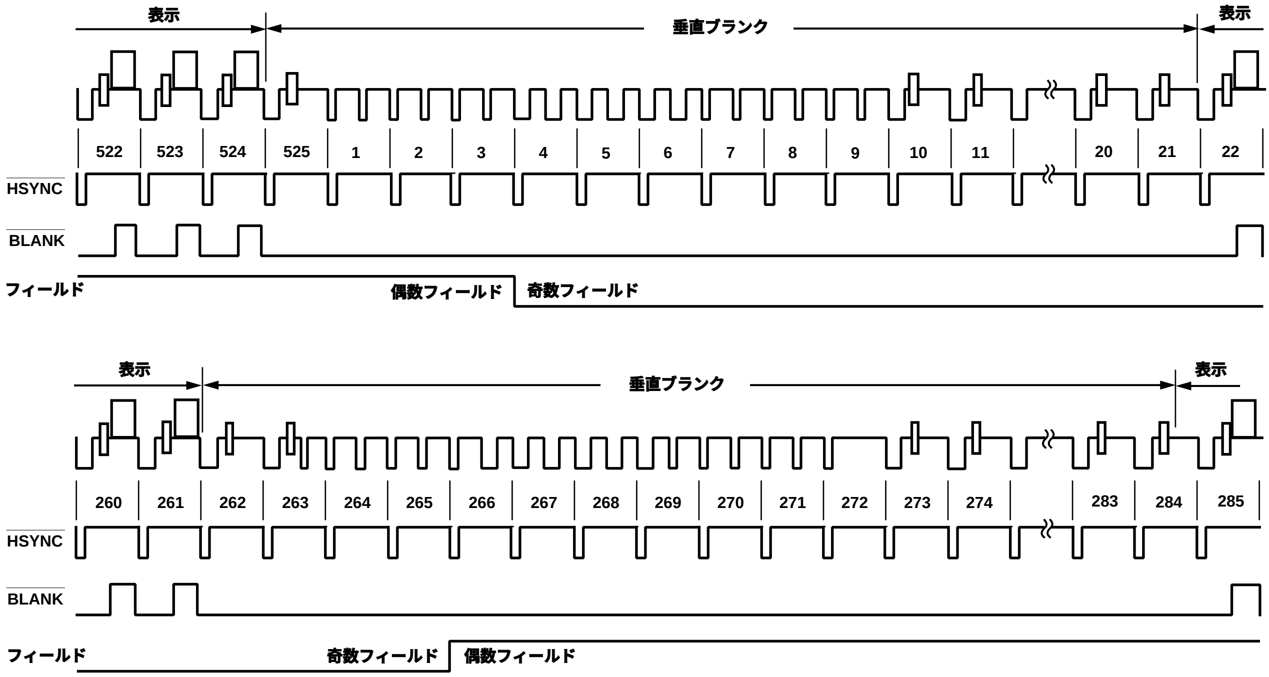


図24．タイミング・モード1（NTSC）

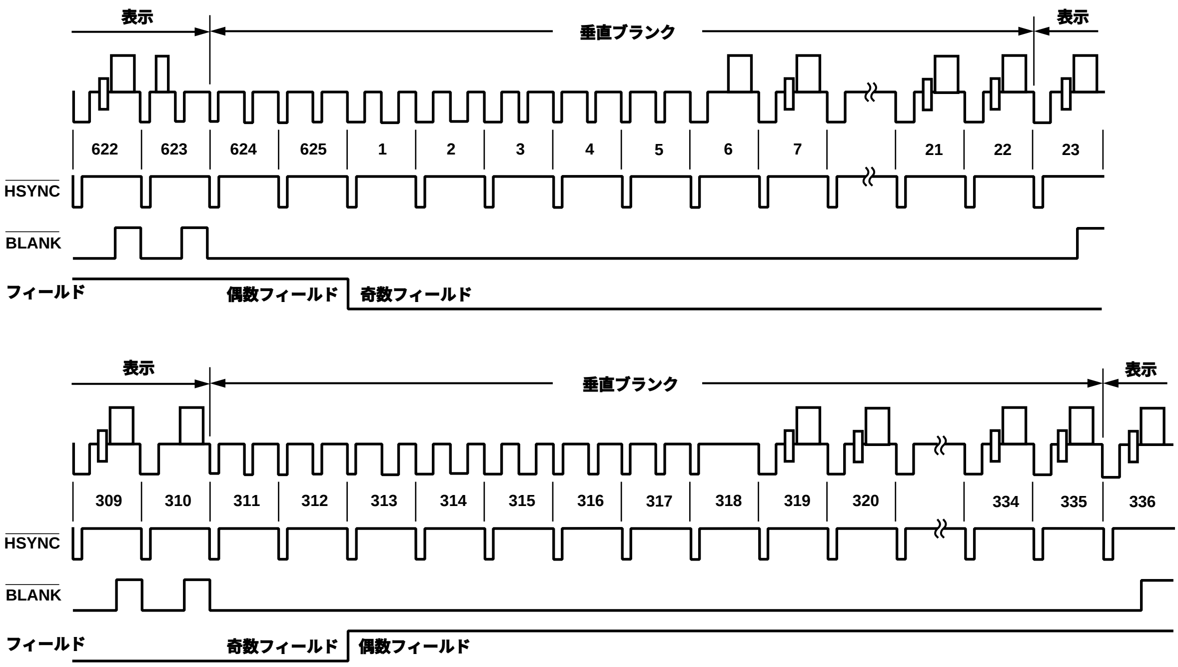


図25．タイミング・モード1（PAL）

モード1：マスター・オプション$\overline{HSYNC}$、$\overline{BLANK}$、FIELD
（タイミング・レジスタ0 TR0＝XXXXX011）

このモードでは、ADV7170/ADV7171は水平同期（SYNC）信号と奇数／偶数フィールド（FIELD）信号を生成できます。$\overline{HSYNC}$レベルがローの場合、FIELD入力の遷移は新しいフレーム、すなわち垂直帰線を示します。$\overline{BLANK}$信号はオプションです。$\overline{BLANK}$入力を無効にすると、CCIR-624標準規格に準拠して、ADV7170/ADV7171がすべての通常ブランク・ラインを自動的にブランクします。ピクセル・データは、立ち上がりのクロック・エッジでラッチされ、タイミング信号が遷移します。図24および図25に、それぞれNTSCおよびPALのモード1を示します。ピクセル・データに関連する奇数フィールドまたは偶数フィールド遷移の$\overline{HSYNC}$、$\overline{BLANK}$、およびFIELDを図26に示します。

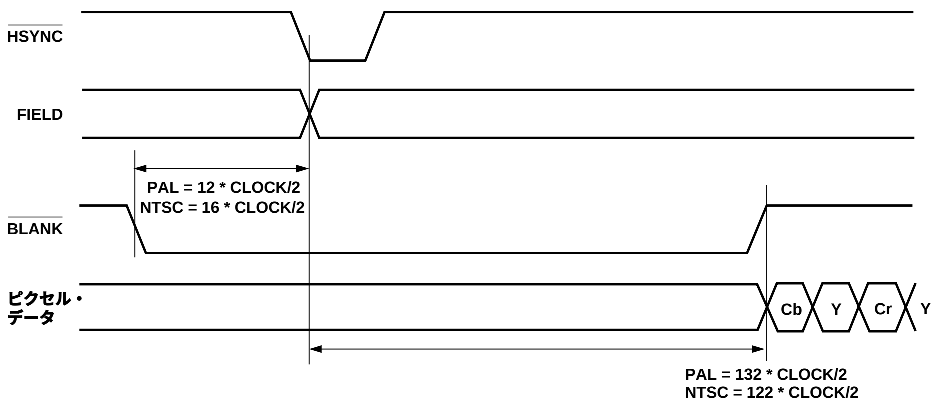


図26．タイミング・モード1 奇数/偶数フィールド遷移マスター/スレーブ

モード2：スレーブ・オプション $\overline{HSYNC}$、$\overline{VSYNC}$、$\overline{BLANK}$
（タイミング・レジスタ0 TR0＝XXXXX100）

このモードでは、ADV7170/ADV7171に水平および垂直同期（SYNC）信号を入力します。奇数フィールドの開始では、$\overline{HSYNC}$入力および$\overline{VSYNC}$入力の両方が同時にローに変わります。偶数フィールドの開始では、$\overline{HSYNC}$がハイのときに$\overline{VSYNC}$がローに変わります。$\overline{BLANK}$信号はオプションです。$\overline{BLANK}$入力を無効にすると、CCIR-624標準規格に準拠して、ADV7170/ADV7171がすべての通常ブランク・ラインを自動的にブランクします。図27および図28に、それぞれNTSCおよびPALのモード2を示します。

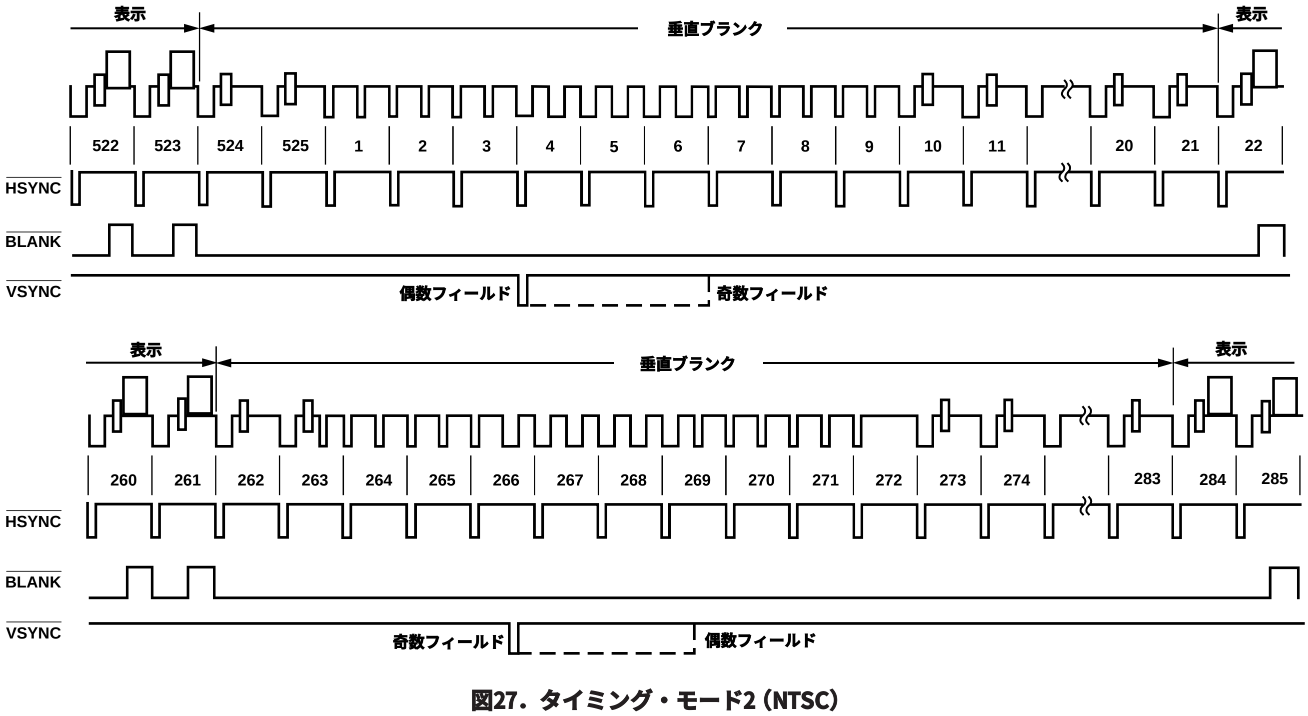


図27．タイミング・モード2（NTSC）

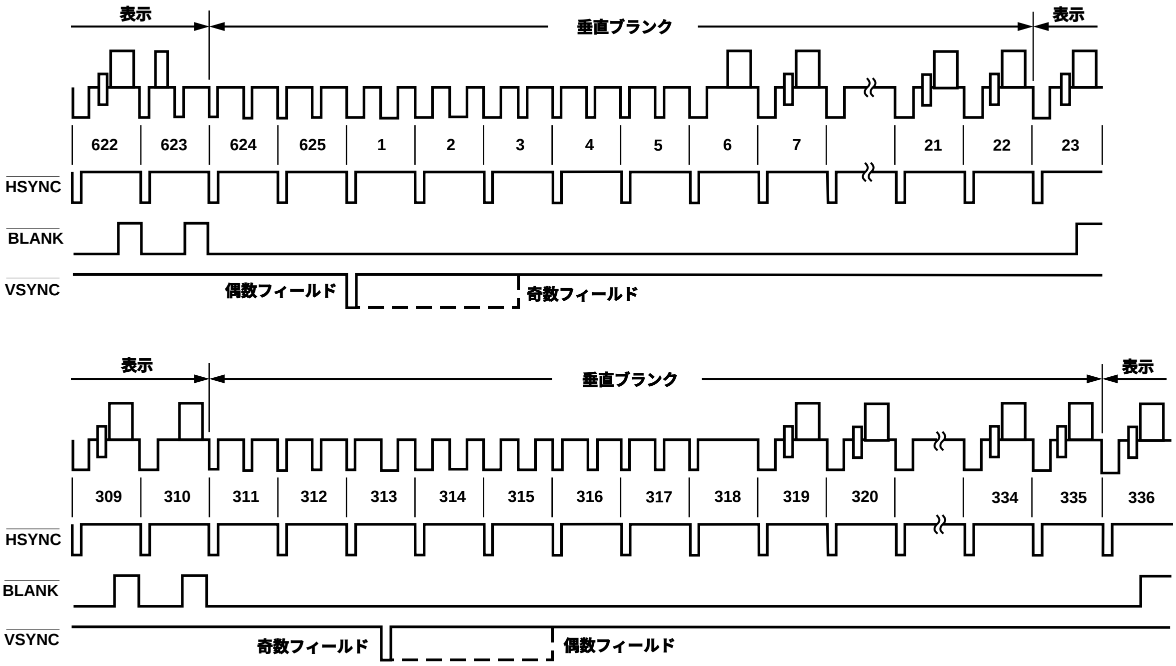


図28．タイミング・モード2（PAL）

モード2：マスター・オプション $\overline{\text{HSYNC}}$、$\overline{\text{VSYNC}}$、$\overline{\text{BLANK}}$

（タイミング・レジスタ0 TR0＝X X X X X 1 0 1）

このモードでは、ADV7170/ADV7171が水平および垂直同期（SYNC）信号を生成できます。奇数フィールドの開始では、$\overline{\text{HSYNC}}$入力および$\overline{\text{VSYNC}}$入力の両方が同時にローに変わります。偶数フィールドの開始では、$\overline{\text{HSYNC}}$がハイのときに$\overline{\text{VSYNC}}$がローに変わります。$\overline{\text{BLANK}}$信号はオプションです。$\overline{\text{BLANK}}$入力を無効にすると、CCIR-624標準規格に準拠して、ADV7170/ADV7171がすべての通常ブランク・ラインを自動的にブランクします。図27および図28に、それぞれNTSCおよびPALのモード2を示します。ピクセル・データに関連する偶数フィールドから奇数フィールドへの遷移時の$\overline{\text{HSYNC}}$、$\overline{\text{BLANK}}$、および$\overline{\text{VSYNC}}$を図29に示します。また、ピクセル・データに関連する奇数フィールドから偶数フィールドへの遷移時の$\overline{\text{HSYNC}}$、$\overline{\text{BLANK}}$、および$\overline{\text{VSYNC}}$を図30に示します。

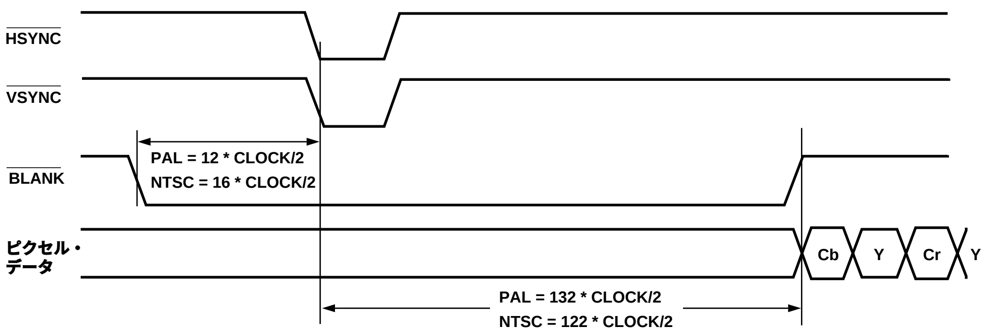


図29．タイミング・モード2 偶数から奇数フィールド遷移マスター/スレーブ

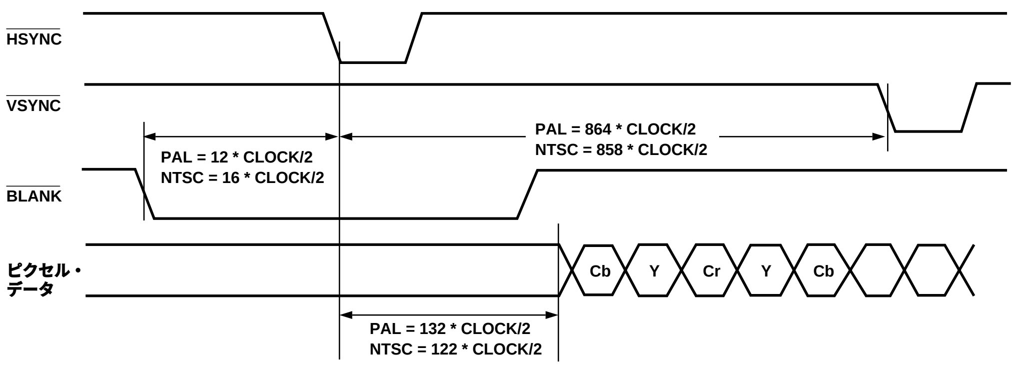


図30．タイミング・モード2 奇数から偶数フィールド遷移マスター/スレーブ

モード3：マスター/スレーブ・オプション HSYNC、BLANK、FIELD
（タイミング・レジスタ 0 TR0＝XXXXX110またはXXXXX111）

このモードでは、ADV7170/ADV7171は水平同期信号および奇数/偶数フィールド信号を入力したり、生成したりすることができます。HSYNCレベルがハイのとき、FIELD入力の遷移は新しいフレーム、すなわち垂直帰線を示します。BLANK信号はオプションです。BLANK入力を無効にすると、CCIR-624標準規格に準拠して、ADV7170/ADV7171がすべての通常ブランク・ラインを自動的にブランクします。図31および図32に、それぞれNTSCおよびPALのモード3を示します。

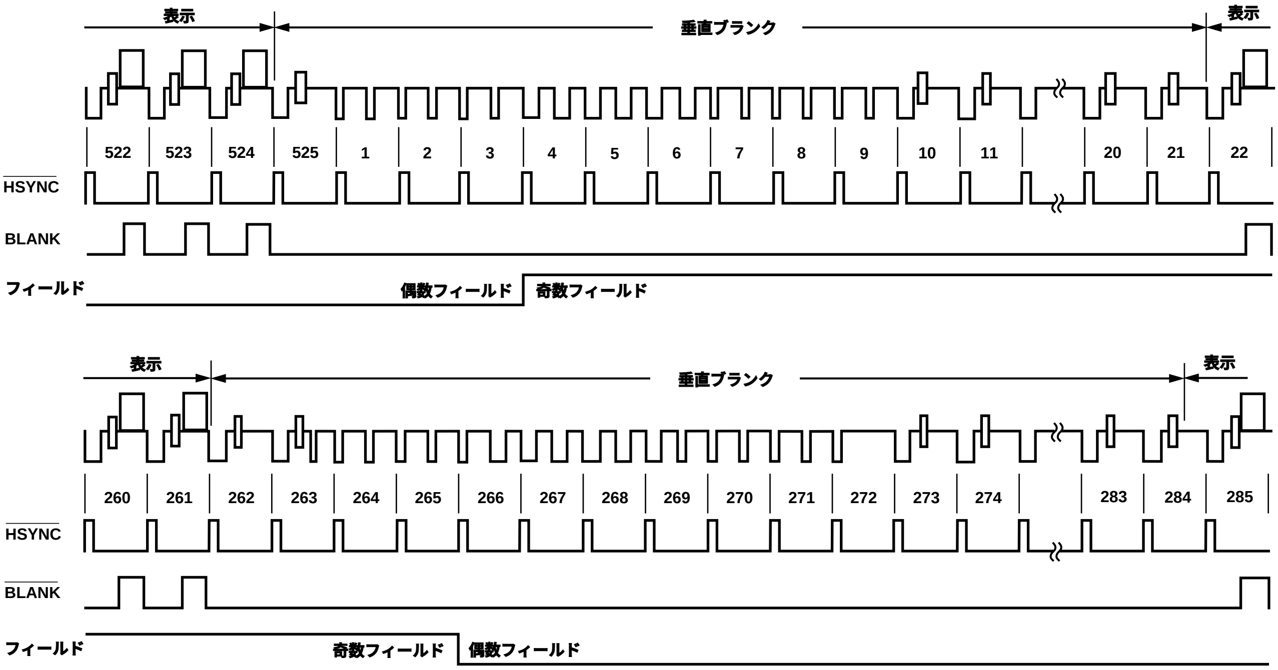


図31．タイミング・モード3（NTSC）

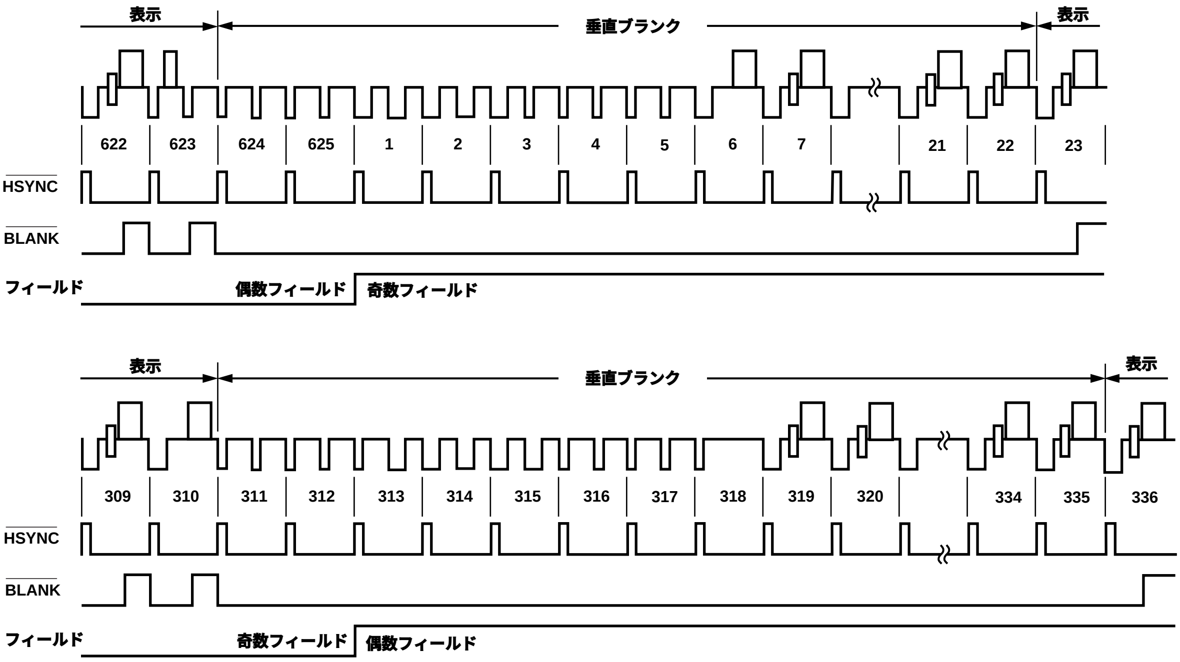


図32．タイミング・モード3（PAL）

出力ビデオ・タイミング

ビデオ・タイミング・ジェネレータは、出力アナログ波形制御に必要なSYNC、$\overline{\text{BLANK}}$、、BURSTシーケンスを生成します。これらのシーケンスを以下に要約します。スレーブ・モードにおいて、ここで説明するシーケンスは入力タイミング制御信号に同期します。マスター・モードにおいて、タイミング・ジェネレータはフリー・ランに設定され、出力タイミング制御信号に加えて、ここで説明するシーケンスを生成します。

NTSC－インタレース：1～9、および264～272番目の走査線は常にブランクされ、垂直同期パルスが含まれています。同様に、10～21、525、および262、263、273～284番目の走査線もブランクされ、クローズド・キャプション・データに使用することができます。1～6、261～269、および523～525番目の走査線では、バーストは無効です。

NTSC－ノンインタレース：1～9番目の走査線は常にブランクされ、垂直同期パルスが含まれています。同様に、10～21番目の走査線もブランクされ、クローズド・キャプション・データに使用することができます。1～6、261～262番目の走査線では、バーストは無効です。

PAL－インタレース：1～6、311～318、および624～625番目の走査線は常にブランクされ、1、2、5、および6番目のフィールドでは垂直同期パルスが含まれています。1～5、311～319、および624～625番目の走査線は常にブランクされ、3、4、7、および8番目のフィールドでは垂直同期パルスが含まれています。同様に、垂直帰線期間中の残りの走査線もブランクされ、テレテキスト・データに使用することができます。1、2、5、および6番目のフィールド中、1～6、311～318、および623～625番目の走査線では、バーストは無効です。3、4、7、および8番目のフィールド中、1～5、311～319、623～625番目の走査線でも、バーストは無効です。

PAL－ノンインタレースド：1～6、および311～312番目の走査線は常にブランクされ、垂直同期パルスが含まれています。同様に、垂直帰線期間中の残りの走査線もブランクされ、テレテキスト・データに使用することができます。1～5、310～312番目の走査線では、バーストは無効です。

パワーオン・リセット

電源を入れた後、必ずリセット・オペレーションを実行しなければなりません。$\overline{\text{RESET}}$ピンのハイからローへの遷移の立ち下がりエッジでリセットされます。このリセットで、ピクセル・ポートが初期化され、ピクセル入力P7～P0が選択されます。リセット後、ADV7170/ADV7171が自動的にNTSCモード動作にセットアップされます。サブキャリア周波数コード21F07C16HEXは、サブキャリア周波数レジスタへロードされます。モード・レジスタ0は例外として、他のすべてのレジスタは00Hにセットされます。モード・レジスタ0のすべてのビットは、ビットMR44を除き、論理レベル“0”にセットされます。モード・レジスタ4のビットMR44は、論理“1”にセットされます。これにより、7.5 IREペデスタル・レベルが有効になります。

SCH位相モード

デフォルト・モードでは、時間経過によるSCH位相誤差の蓄積を避けるために、4フィールド（NTSC）または8フィールド（PAL）ごとにSCH位相がリセットされるように設定されます。理想的なシステムでは、SCH位相誤差が永久にゼロになるように維持されます。しかし、現実ではクロック周波数が変化するので、これは不可能なことです。本デバイスでは、32ビットDDSを使用してSCHを生成し、位相誤差を減らすことができます。

4フィールドまたは8フィールドごとにSCH位相をリセットすることで、SCH位相誤差の蓄積を避けることができます。これにより、4フィールドまたは8フィールドごとのシーケンスの始めにおいて、SCH位相の飛びを非常に小さくすることができます。

ビデオ・ソースのタイミングが安定していない場合や、ADV7170/ADV7171がRTCモード（MR21＝1、MR22＝1）に設定されている場合、SCH位相のリセットをしてはなりません。このような場合（ビデオ信号タイミングが安定しない場合）、サブキャリア位相リセットを有効（MR22＝0、MR21＝1）に設定すべきですが、リセットは適用しません。この構成では、SCH位相がリセットされることはありません。つまり、出力ビデオのタイミングは、不安定な入力ビデオのタイミングに追従することになります。サブキャリア位相リセットを適用する場合、次のフィールドの開始点でSCH位相がフィールド0にリセットされます（例えば、PALのフィールド5でサブキャリア位相がリセットされると、次のフィールド開始点でSCH位相がフィールド0にリセットされます）。

MPUポート概要

ADV7170/ADV7171は、複数の周辺機器を駆動する2線シリアル（I^{2}C互換）マイクロプロセッサ・バスに対応しています。シリアル・データ（SDATA）およびシリアル・クロック（SCLOCK）の2入力は、バスに接続された任意のデバイス間の情報伝送をします。各スレーブ・デバイスは、固有のアドレスで認識されます。ADV7170/ADV7171では、それぞれが読み出し、書き込みの両動作において、4つのスレーブ・アドレスを使用することができます。これらのアドレスは、図33および図34に示す通り、各デバイスごとに個有のアドレスです。読み出し動作または書き込み動作のどちらも、LSBでセットします。論理レベル“1”で読み出し動作になり、論理レベル“0”で書き込み動作になります。ADV7170/ADV7171のALSBピンを論理レベル“0”または論理レベル“1”にセットすると、“1”にセットされます。

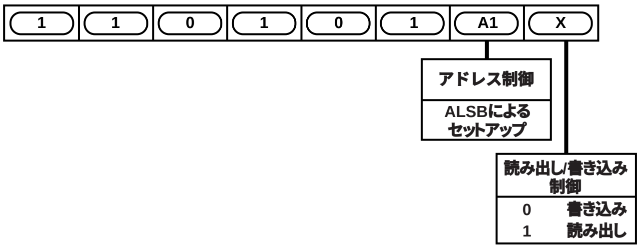


図33．ADV7170スレーブ・アドレス

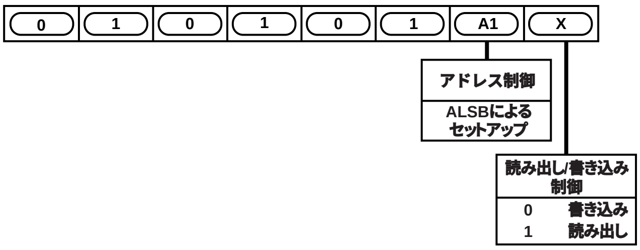


図34．ADV7171スレーブ・アドレス

バスで接続されている各種デバイスを制御するには、次に説明する一定の手順規約に従わなければなりません。まず、SCLOCKがハイの状態でSDATAのハイからローへの遷移で定義される開始状態を設定することで、マスターがデータ伝送を始めます。これにより、1つのアドレス／データ・ストリームが続きます。すべての周辺デバイスが開始状態に応答し、次の8ビット（7ビット・アドレス＋R/$\overline{\text{W}}$ビット）をシフトします。ビットは、MSBからLSBに転送されます。伝送されたアドレスを認識した周辺デバイスは、9番目のクロックパルス期間にデータ・ラインをローにして応答します。これがアクノリッジ・ビットになります。この時点で、他のすべてのデバイスはバスから切り離され、アイドリング状態を維持します。アイドリング状態のデバイスは、SDATAとSCLOCKラインを監視して、開始状態と正しいアドレス伝送を待ちます。R/$\overline{\text{W}}$ビットは、データの方向を決定します。最初のバイトのLSBが論理レベル“0”になると、マスターは周辺デバイスに情報を書き込みます。最初のバイトのLSBが論理レベル“1”になると、マスターは周辺デバイスから情報を読み出します。

ADV7170/ADV7171は、バス上の標準スレーブ・デバイスとして動作します。SDATAピンのデータは、7ビット・アドレスとR/Wビットに対応する8ビット長です。内部レジスタへアクセスするために、ADV7170は48のサブアドレスを持ち、ADV7171は26のサブアドレスを持ちます。したがって、最初のバイトをデバイス・アドレスとして認識し、2番目のバイトを開始サブアドレスとして認識します。サブアドレスの自動インクリメント機能により、開始サブアドレスにデータを書き込んだり、開始サブアドレスからデータを読み出したりすることができます。停止状態にすると、必ずデータ伝送が終了します。ユーザは、すべてのレジスタを更新することなく、任意のサブアドレス・レジスタを1つずつアクセスすることもできます。しかし例外が1つあり、サブキャリア周波数レジスタは、サブキャリア周波数レジスタ0から開始して順番に更新しなければなりません。したがって、サブキャリア周波数レジスタ1、2、3をインクリメントしてアクセスするために、自動インクリメント機能を使用します。サブキャリア周波数レジスタを別々にアクセスしてはなりません。

停止および開始状態は、データ転送の任意の段階で検知することができます。通常の読み出し、書き込み動作でこのような状態が順序通りでないと検知されると、即座にアイドリング状態にジャンプします。SCLOCKがハイの所定期間には、ユーザーは1回の開始状態と1回の停止状態にします。または、1回の停止状態に続いて1回の開始状態にします。ユーザーが無効なサブアドレスを指定すると、ADV7170/ADV7171はアクノリッジを出さず、アイドリング状態に戻ります。自動インクリメント・モードで、ユーザーが最大サブアドレスを超えた場合は、次の動作になります。

1. 読み出しモードでは、マスター・デバイスがノー・アクノリッジを戻すまで最大サブアドレス・レジスタの内容が連続して出力されます。これは、読み出しの最後を意味します。ノー・アクノリッジ状態とは、9番目パルスのSDATAラインがローにならないということです。
2. 書き込みモードでは、無効バイトのデータはどのサブアドレス・レジスタにもロードされません。ADV7170/ADV7171がノー・アクノリッジを出し、デバイスはアイドリング状態に戻ります。

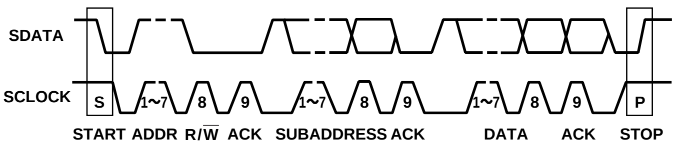


図35．バス・データ転送

図35に読み出しシーケンスのデータ転送例と、開始および停止状態を示します。

図36にバスの書き込みおよび読み出しシーケンスを示します。

レジスタ・アクセス

書き込み専用レジスタであるサブアドレス・レジスタを除き、ADV7170/ADV7171のすべてのレジスタとMPUの間で書き込み、読み出し動作が可能です。サブアドレス・レジスタは、次の読み出しまたは書き込み動作アクセス対象のレジスタを決定します。バスを介したデバイスのすべての通信は、サブアドレス・レジスタへのアクセスで開始されます。読み出し／書き込み動作は、目的のアドレスを対象に実行され、バスの停止コマンドが実行されるまで、次の上位アドレスへと対象が移ります。

レジスタ・プログラミング

次のセクションでは、サブアドレス・レジスタ、モード・レジスタ、サブキャリア周波数レジスタ、サブキャリア位相レジスタ、タイミング・レジスタ、クローズド・キャプション拡張データ・レジスタ、クローズド・キャプション・データ・レジスタ、それにNTSCペデスタル制御レジスタを含む、各レジスタ構成を説明します。

サブアドレス・レジスタ (SR7～SR0)

コミュニケーション・レジスタは、8ビットの書き込み専用レジスタです。バスを通してデバイスがアクセスされると、読み出し/書き込み動作が選択され、サブアドレスがセットアップされます。サブアドレス・レジスタは、どのレジスタを対象に動作するかを決定します。

図37にサブアドレス・レジスタにより制御される各種動作を示します。SR7～SR6には、常にゼロを書き込まなければなりません。

レジスタ・セレクト (SR5～SR0)

これらのビットは、所定の開始アドレスを指定するためにセットされます。

モード・レジスタ0 MR0 (MR07～MR00)

(アドレス[SR4～SR0]＝00H)

図38にモード・レジスタ0により制御される各種動作を示します。このレジスタは、書き込みも読み出しもできます。

MR0ビット概要

エンコード・モード制御 (MR01～MR00)

これらのビットは、エンコード・モードのセットアップに使用します。ADV7170/ADV7171は、NTSCおよびPAL (B/D/G/H/I) とPAL (M/N) 標準ビデオを出力するようにセットアップできます。

輝度フィルタ制御 (MR02～MR04)

これらのビットはどの輝度フィルタを選択するかを決めます。フィルタの選択は、PALまたはNTSCの選択とは独立して行われます。

クロマ・フィルタ制御 (MR05～MR07)

これらのビットはクロマ・フィルタを選択します。CIFフィルタまたはQCIFフィルタを選択するほかに、カットオフ周波数0.65MHz、1.0MHz、1.3MHz、2MHzのローパス・フィルタを選択することもできます。

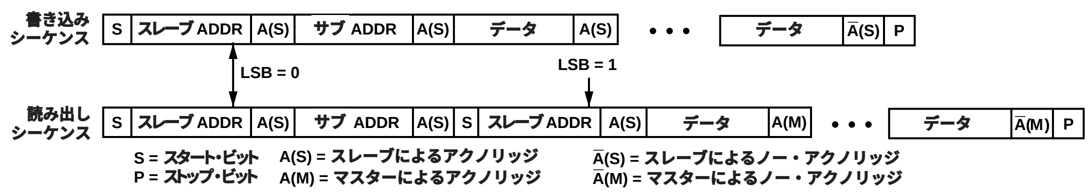


図36．書き込み／読み出しシーケンス

SR7	SR6	SR5	SR4	SR3	SR2	SR1	SR0

SR7～SR5 (000)
これらのビットには、ゼロを書き込みます。

ADV7171サブアドレス・レジスタ

SR5	SR4	SR3	SR2	SR1	SR0	
0	0	0	0	0	0	モード・レジスタ0
0	0	0	0	0	1	モード・レジスタ1
0	0	0	0	1	0	モード・レジスタ2
0	0	0	0	1	1	モード・レジスタ3
0	0	0	1	0	0	モード・レジスタ4
0	0	0	1	0	1	予約
0	0	0	1	1	0	予約
0	0	0	1	1	1	タイミング・モード・レジスタ0
0	0	1	0	0	0	タイミング・モード・レジスタ1
0	0	1	0	0	1	サブキャリア周波数レジスタ0
0	0	1	0	1	0	サブキャリア周波数レジスタ1
0	0	1	0	1	1	サブキャリア周波数レジスタ2
0	0	1	1	0	0	サブキャリア周波数レジスタ3
0	0	1	1	0	1	サブキャリア位相レジスタ
0	0	1	1	1	0	クローズド・キャプション拡張データ・バイト0
0	0	1	1	1	1	クローズド・キャプション拡張データ・バイト1
0	1	0	0	0	0	クローズド・キャプション・データ・バイト 0
0	1	0	0	0	1	クローズド・キャプション・データ・バイト 1
0	1	0	0	1	0	NTSCペデスタル制御レジスタ0
0	1	0	0	1	1	NTSCペデスタル制御レジスタ1
0	1	0	1	0	0	NTSCペデスタル制御レジスタ2
0	1	0	1	0	1	NTSCペデスタル制御レジスタ3
0	1	0	1	1	0	CGMS_WSS_0
0	1	0	1	1	1	CGMS_WSS_1
0	1	1	0	0	0	CGMS_WSS_2
0	1	1	0	0	1	テレテキスト・リクエスト位置

ADV7170サブアドレス・レジスタ

SR5	SR4	SR3	SR2	SR1	SR0	
0	0	0	0	0	0	モード・レジスタ0
0	0	0	0	0	1	モード・レジスタ1
0	0	0	0	1	0	モード・レジスタ2
0	0	0	0	1	1	モード・レジスタ3
0	0	0	1	0	0	モード・レジスタ4
0	0	0	1	0	1	予約
0	0	0	1	1	0	予約
0	0	0	1	1	1	タイミング・モード・レジスタ0
0	0	1	0	0	0	タイミング・モード・レジスタ1
0	0	1	0	0	1	サブキャリア周波数レジスタ0
0	0	1	0	1	0	サブキャリア周波数レジスタ1
0	0	1	0	1	1	サブキャリア周波数レジスタ2
0	0	1	1	0	0	サブキャリア周波数レジスタ3
0	0	1	1	0	1	サブキャリア位相レジスタ
0	0	1	1	1	0	クローズド・キャプション拡張データ・バイト0
0	0	1	1	1	1	クローズド・キャプション拡張データ・バイト1
0	1	0	0	0	0	ローズド・キャプション・データ・バイト0
0	1	0	0	0	1	ローズド・キャプション・データ・バイト1
0	1	0	0	1	0	NTSCペデスタル制御レジスタ0
0	1	0	0	1	1	NTSCペデスタル制御レジスタ1
0	1	0	1	0	0	NTSCペデスタル制御レジスタ2
0	1	0	1	0	1	NTSCペデスタル制御レジスタ3
0	1	0	1	1	0	CGMS_WSS_0
0	1	0	1	1	1	CGMS_WSS_1
0	1	1	0	0	0	CGMS_WSS_2
0	1	1	0	0	1	テレテキスト・リクエスト位置
0	1	1	0	1	0	予約
0	1	1	0	1	1	予約
0	1	1	1	0	0	予約
0	1	1	1	0	1	予約
0	1	1	1	1	0	マクロビジョン・レジスタ
0	1	1	1	1	1	マクロビジョン・レジスタ
1	0	0	0	0	0	マクロビジョン・レジスタ
1	0	0	0	0	1	マクロビジョン・レジスタ
1	0	0	0	1	0	マクロビジョン・レジスタ
1	0	0	0	1	1	マクロビジョン・レジスタ
1	0	0	1	0	0	マクロビジョン・レジスタ
1	0	0	1	0	1	マクロビジョン・レジスタ
1	0	0	1	1	0	マクロビジョン・レジスタ
1	0	0	1	1	1	マクロビジョン・レジスタ
1	0	1	0	0	0	マクロビジョン・レジスタ
1	0	1	0	0	1	マクロビジョン・レジスタ
1	0	1	0	1	0	マクロビジョン・レジスタ
1	0	1	0	1	1	マクロビジョン・レジスタ
1	0	1	1	0	0	マクロビジョン・レジスタ
1	0	1	1	0	1	マクロビジョン・レジスタ
1	0	1	1	1	0	マクロビジョン・レジスタ
1	0	1	1	1	1	マクロビジョン・レジスタ

図37．サブアドレス・レジスタ・マップ

MR07	MR06	MR05	MR04	MR03	MR02	MR01	MR00

クロマ・フィルタ選択

MR07	MR06	MR05	
0	0	0	1.3MHzローパス・フィルタ
0	0	1	0.65MHzローパス・フィルタ
0	1	0	1.0MHzローパス・フィルタ
0	1	1	2.0MHzローパス・フィルタ
1	0	0	予約
1	0	1	CIF
1	1	0	Q CIF
1	1	1	予約

輝度フィルタ選択

MR04	MR03	MR02	
0	0	0	ローパス・フィルタ(NTSC)
0	0	1	ローパス・フィルタ(PAL)
0	1	0	ノッチ・フィルタ(NTSC)
0	1	1	ノッチ・フィルタ(PAL)
1	0	0	拡張モード
1	0	1	CIF
1	1	0	Q CIF
1	1	1	予約

出力ビデオ標準選択

MR01	MR00	
0	0	NTSC
0	1	PAL (B, D, G, H, I)
1	0	PAL (M)
1	1	予約

図38．モード・レジスタ0

モード・レジスタ1 MR1（MR17～MR10）
（アドレス（SR4～SR0）＝01H）

図39にモード・レジスタ1により制御される各種動作を示します。このレジスタは、書き込みも読み出しもできます。

MR1ビット概要
インタレース・モード制御（MR10）

このビットは、出力をインタレース・モードまたはノンインタレース・モードに設定するために使用します。このモードは、デバイスがコンポジット・ビデオ・モードのときに限り意味があります。

クローズド・キャプション・フィールド制御（MR12～MR11）

このビットは、クローズド・キャプション・データが表示されるフィールドを制御します。クローズド・キャプション情報は、奇数フィールド、偶数フィールド、またはその両方のフィールドに表示できます。

D/AC制御（MR16～MR13）

これらのビットは、D/ACのパワーダウンに使用します。アプリケーションでD/ACのどれかが必要ない場合、これらのビットにより、ADV7170/ADV7171の消費電力を低減することができます。

カラー・バー制御（MR17）

このビットは、内部カラー・バー・テスト・パターンの生成と出力に使用できます。カラー・バーの構成は、NTSCで75/7.5/75/7.5で、PALで100/0/75/0になります。カラー・バーが有効に設定されると、ADV7170/ADV7171の動作モードがマスター・タイミング・モードになることにご注意ください。

モード・レジスタ2 MR2（MR27～MR20）
（アドレス[SR4～SR0]＝02H）

モード・レジスタ2は、8ビット・ワイド・レジスタです。

図40にモード・レジスタ2により制御される各種動作を示します。このレジスタは、書き込みも読み出しもできます。

MR2ビット概要
スクエア・ピクセル・モード制御（MR20）

このビットは、スクエア・ピクセル・モードを設定するために使用します。これはスレーブ・モードでしか使用できません。NTSCでは24.54MHzのクロック、PALでは29.5MHzのクロックが必要です。

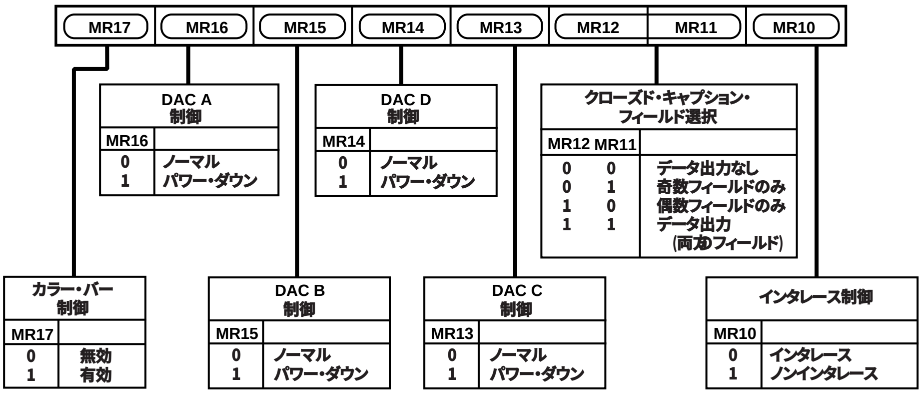


図39．モード・レジスタ1

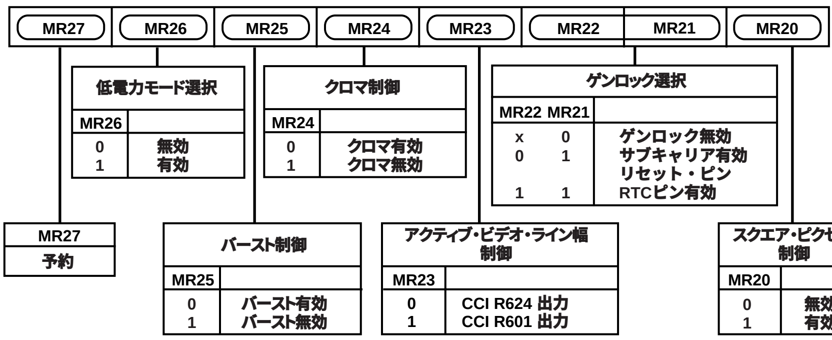


図40．モード・レジスタ2

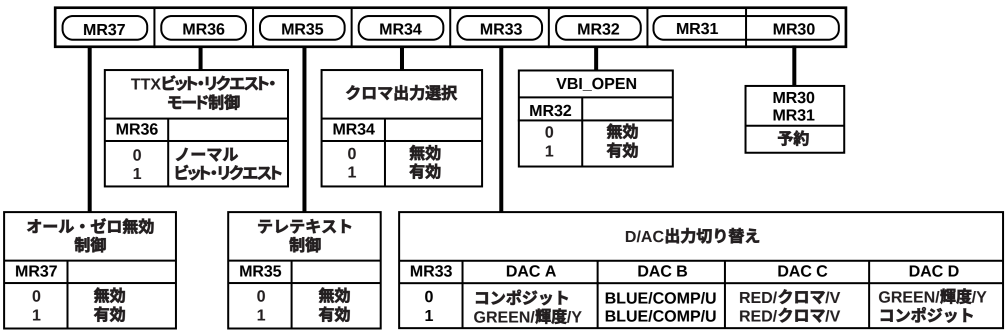


図41．モード・レジスタ3

ゲンロック制御（MR22～MR21）
これらのビットでADV7170/ADV7171のゲンロック機能を制御します。MR21の論理レベルを"1"にセットすると、SCRESET/RTCピンが入力ピンになります。MR22の論理レベルを"0"にセットすると、SCRESET/RTCピンがサブキャリア・リセット入力になります。したがって、SCRESET/RTCピンのハイ・レベルからロー・レベルへの遷移で、サブキャリアがフィールド0にリセットされます。MR22を論理レベル"1"にセットすると、SCRESET/RTCピンがリアルタイム制御入力ピンになります。

アクティブ・ビデオ・ライン制御（MR23）
このビットにより、2種類のアクティブ・ビデオ・ライン期間が選べます。論理レベルを"0"にすると、ITU-R BT.470（720ピクセルPAL/NTSC）になり、論理レベルを"1"にすると、ITU-R/SMPTE「アナログ」標準のアクティブ・ビデオ期間（NTSC：710ピクセル、PAL：702ピクセル）になります。

クロマ制御（MR24）
このビットにより、ビデオ出力のカラー情報のオン・オフを切り替えることができるようになります。

バースト制御（MR25）
このビットにより、ビデオ出力のバースト情報のオン・オフを切り替えることができるようになります。

ローパワー制御（MR26）
このビットにより、ADV7170/ADV7171の低電力モードが有効になり、D/ACの電流が45%減少します。

予約（MR27）
このビットには、論理レベル"0"を書き込んでください。

モード・レジスタ3 MR3（MR37～MR30）
（アドレス[SR4～SR0]＝03H）
モード・レジスタ3は、8ビット・ワイド・レジスタです。
図41にモード・レジスタ3により制御される各種動作を示します。

MR3ビット概要
リビジョン・コード（MR30～MR31）
このビットは読み出し専用ビットで、デバイスのリビジョンを示します。

VBIパス・スルー制御（MR32）
このビットは、アナログ出力に垂直ブランク期間（VBI）のデータを出力するか、$\overline{\text{BLANK}}$するかを決めます。

D/ACスイッチング制御（MR33）
このビットは、D/AC出力をSCARTタイプからEUROSCARTタイプの設定に切り替えます。下にすべてのD/AC出力を示す表を示します。

クロマ出力選択（MR34）
このアクティブ・ハイ・ビットは、4番目のD/ACのコンポジット出力、または4番目のD/ACのクロマ出力をYUVデータとともに出力できます（0＝CVBS；1＝クロマ）。

テレテキスト・イネーブル（MR35）
TTXピンのテレテキスト・データ挿入には、このピンを"1"にセットしなければなりません。

テレテキスト・モード制御（MR36）
このビットにより、テレテキスト・リクエスト信号を連続ハイ信号（MR36＝0）からビット・ワイズ・リクエスト信号（MR36＝1）に切り替えることができます。

入力デフォルト・カラー（MR37）
このビットは、ゼロ入力ピクセル・データ（または断）の際の、D/ACからのデフォルト出力カラーを決定します。論理レベル"0"にすると、00000000に対応するカラーが表示されます。論理レベル"1"にすると、00000000ピクセル入力ビデオ・データの出力カラーが強制的に黒になります。

表II．D/AC出力構成マトリックス

MR34	MR40	MR41	MR33	DAC A	DAC B	DAC C	DAC D	同時出力
0	0	0	0	CVBS	CVBS	C	Y	2コンポジットおよびY/C
0	0	0	1	Y	CVBS	C	CVBS	2コンポジットおよびY/C
0	0	1	0	CVBS	CVBS	C	Y	2コンポジットおよびY/C
0	0	1	1	Y	CVBS	C	CVBS	2コンポジットおよびY/C
0	1	0	0	CVBS	B	R	G	RGBおよびコンポジット
0	1	0	1	G	B	R	CVBS	RGBおよびコンポジット
0	1	1	0	CVBS	U	V	Y	YUVおよびコンポジット
0	1	1	1	Y	U	V	CVBS	YUVおよびコンポジット
1	0	0	0	C	CVBS	C	Y	1コンポジット、Yおよび2C
1	0	0	1	Y	CVBS	C	C	1コンポジット、Yおよび2C
1	0	1	0	C	CVBS	C	Y	1コンポジット、Yおよび2C
1	0	1	1	Y	CVBS	C	C	1コンポジット、Yおよび2C
1	1	0	0	C	B	R	G	RGBおよびC
1	1	0	1	G	B	R	C	RGBおよびC
1	1	1	0	C	U	V	Y	YUVおよびC
1	1	1	1	Y	U	V	C	YUVおよびC

CVBS：コンポジット・ビデオ・ベースバンド信号
Y：輝度コンポーネント信号（YUVまたはY/Cモード用）
C：クロマ信号（Y/Cモード用）
U：クロマ・コンポーネント信号（YUVモード用）
V：クロマ・コンポーネント信号（YUVモード用）
R：赤コンポーネント・ビデオ（RGBモード用）
G：緑コンポーネント・ビデオ（RGBモード用）
B：青コンポーネント・ビデオ（RGBモード用）

注意
次の制御ビットを使用して、各D/ACの電源を個別にオン・オフすることができます（"0"＝ON、"1"＝OFF）。
MR13-DAC C
MR14-DAC D
MR15-DAC B
MR16-DAC A

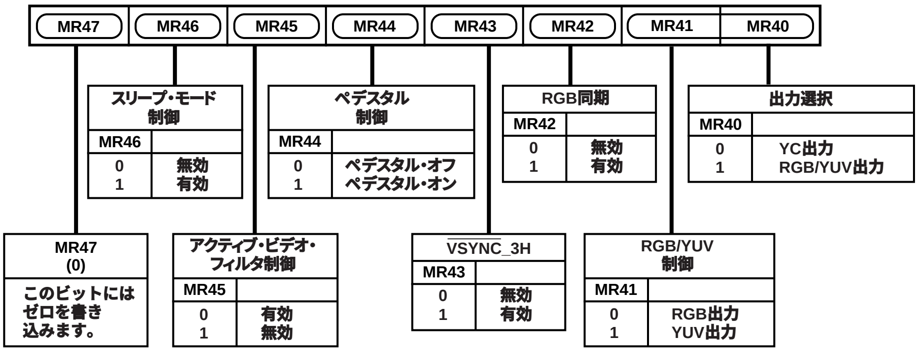


図42．モード・レジスタ4

モード・レジスタ4 MR4（MR47～MR40）

（アドレス（SR4～SR0）＝04H）

モード・レジスタ4は、8ビット・ワイド・レジスタです。

図42にモード･レジスタ4により制御される各種動作を示します。

MR4ビット概要

出力選択（MR40）

このビットは、コンポジット・ビデオ・モードまたはRGB/YUVモードのどちらにデバイスを設定するかを決めます。RGB/YUVモードでも、コンポジット信号は利用可能です。

RGB/YUV制御（MR41）

このビットにより、RGB D/ACからの出力をYUV出力ビデオ標準規格に設定することができます。

RGB同期（MR42）

このビットは、すべてのRGB出力でエンコードされた同期情報とともに、RGB出力をセットアップするのに使用します。

$\overline{\text{VSYNC}}$_3H制御（MR43）

スレーブ・モードでこのビットを有効（“1”）に設定すると、PALモードで2.5ライン、NTSCモードで3ライン期間、$\overline{\text{VSYNC}}$アクティブ･ロー入力を駆動することができます。マスター・モードでこのビットを有効に設定すると、NTSCモードで3ライン、PALモードで2.5ライン期間、アクティブ・ロー$\overline{\text{VSYNC}}$信号がADV7170/ADV7171より出力されます。

ペデスタル制御（MR44）

このビットは、NTSCコンポジット・ビデオ信号にペデスタルを付加するかどうかを決めます。ADV7170/ADV7171がPALモードに設定された場合、このビットは無効です。

アクティブ・ビデオ・フィルタ切り替え（MR45）

このビットは、ラインのアクティブ･ビデオ部外に適用するフィルタ・モードを決めます。このフィルタにより、どの輝度フィルタが選ばれても、同期信号の立ち上がり時間と立ち下がり時間が常に規定内に収まるようにすることができます。論理レベルを“1”にセットすると、このモードが有効になります。

スリープ・モード制御（MR46）

このビットを“1”にセットすると、スリープ･モードが有効になります。このモードを有効にすると、ADV7170/ADV7171の消費電流が公称値で200nAに減少します。ADV7170/ADV7171をスリープ・モードにすると、I²Cレジスタの読み出し／書き込みが可能になります。ADV7170/ADV7171がスリープ・モードのときにMR46を“0”にセットすると、ADV7170/ADV7171はスリープ・モードから抜けて、通常の動作に戻ります。スリープ･モード中に$\overline{\text{RESET}}$信号が入力されても、ADV7170/ADV7171はスリープ・モードから抜けて、通常の動作に戻ります。

予約（MR47）

このビットには、論理レベル“0”を書き込みます。

タイミング・レジスタ0（TR07～TR00）

（アドレス[SR4～SR0]＝07H）

図43にタイミング･レジスタ0により制御される各種動作を示します。このレジスタは、書き込みも読み出しもできます。

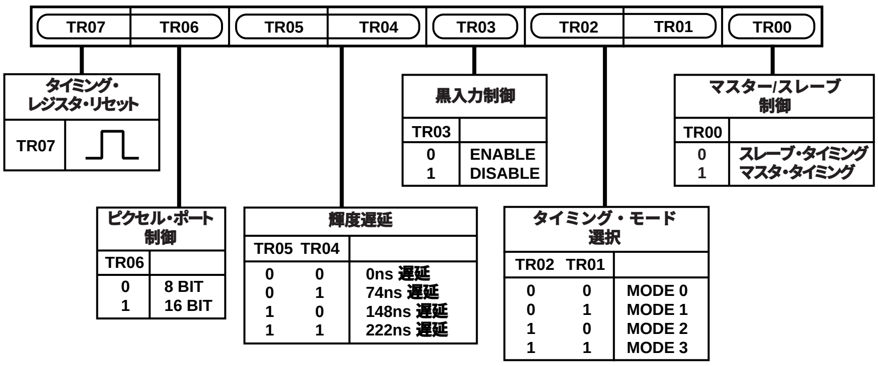


図43．タイミング・レジスタ0

TR0ビット概要

マスター/スレーブ制御（TR00）

このビットは、ADV7170/ADV7171をマスタ・モードにするかスレーブ・モードにするかを決めます。

タイミング・モード制御（TR02～TR01）

これらのビットは、ADV7170/ADV7171のタイミング･モードを制御します。タイミング・モードについては、本データ・シートのタイミングおよび制御のセクションに詳述されています。

BLANK制御（TR03）

このビットは、デバイスがスレーブ･モードのときに、BLANK入力を使用するかどうかを決めます。

輝度遅延制御（TR05～TR04）

これらのビットは、輝度遅延の付加を制御します。各ビットに対応する遅延は、74nsです。

ピクセル・ポート選択（TR06）

このビットは、8ビット・データまたは16ビット・データを入力するピクセル･ポートの設定に使用します。8ビット入力を選ぶと、ピンP7～P0がデータに対応します。

タイミング・レジスタ・リセット（TR07）

TR07をローからハイに切り替え、再度ローにすると、内部タイミング・カウンタがリセットされます。このビットは、電源投入、リセット、または新しいタイミング･モードに切り替えた後、切り替えなければなりません。

タイミング・レジスタ1（TR17～TR10）
（アドレス（SR4～SR0）＝08H）

タイミング・レジスタ1は、8ビット・ワイド・レジスタです。

図44にタイミング･レジスタ1により制御される各種動作を示します。このレジスタは、書き込みも読み出しもできます。このレジスタは、マスター・モード・タイミング信号の幅と位置の調整に使用することができます。

TR1ビット概要

HSYNC幅（TR11～TR10）

これらのビットは、HSYNCのパルス幅を調整します。

HSYNC～VSYNC/FIELD遅延制御（TR13～TR12）

これらのビットは、FIELD/VSYNC出力の位置に対して、HSYNC出力の位置を調整します。

HSYNC～FIELD遅延制御（TR15～TR14）

ADV7170/ADV7171がタイミング・モード1に設定されているとき、これらのビットは、FIELD出力の立ち上がりエッジに対して、HSYNC出力の位置を調整します。

VSYNC幅（TR15～TR14）

ADV7170/ADV7171がタイミング・モード2に設定されているとき、これらのビットは、VSYNCパルス幅を調整します。

HSYNC～ピクセル・データ調整（TR17～TR16）

これらのビットにより、ピクセル・データに対してHSYNCを調整することができます。これにより、Cr/Cbコンポーネントを入れ替えることができます。この調整はマスター・タイミング・モードとスレーブ・タイミング・モードの両方で可能です。

TR17	TR16	TR15	TR14	TR13	TR12	TR11	TR10

HSYNC～ピクセル・データ調整

TR17	TR16	
0	0	0 x T_{PCLK}
0	1	1 x T_{PCLK}
1	0	2 x T_{PCLK}
1	1	3 x T_{PCLK}

HSYNC～フィールド立ち上がりエッジ遅延（モード1のみ）

TR15	TR14	T_C
x	0	T_B
x	1	T_B + 32μs

VSYNC幅（モード2のみ）

TR15	TR14	
0	0	1 x T_{PCLK}
0	1	4 x T_{PCLK}
1	0	16 x T_{PCLK}
1	1	128 x T_{PCLK}

HSYNC～FIELD/VSYNC遅延

TR13	TR12	T_B
0	0	0 x T_{PCLK}
0	1	4 x T_{PCLK}
1	0	8 x T_{PCLK}
1	1	16 x T_{PCLK}

HSYNC幅

TR11	TR10	T_A
0	0	1 x T_{PCLK}
0	1	4 x T_{PCLK}
1	0	16 x T_{PCLK}
1	1	128 x T_{PCLK}

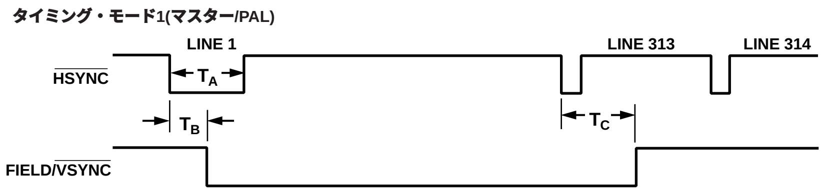


図44．タイミング・レジスタ1

サブキャリア周波数レジスタ3～0 (FSC3～FSC0) (アドレス[SR4～SR0]＝09H～02H)

これらの8ビット・ワイド・レジスタは、サブキャリア周波数のセットアップに使用します。これらのレジスタの値は次の式で計算します。

$$サブキャリア周波数レジスタ=\frac{2^{32}-1}{F_{CLK}}\times F_{SCF}$$

たとえば：NTSCモード
F_{CLK}＝27MHz,
F_{SCF}＝3.5795454MHzの場合、

$$サブキャリア周波数値=\frac{2^{32}-1}{27\times10^{6}}\times3.5795454\times10^{6}$$
$$=21F07C16HEX$$

4レジスタによる周波数セットアップ方法を図45に示します。

サブキャリア位相レジスタ（FP7～FP0） (アドレス[SR4～SR0]＝0DH)

この8ビット・ワイド・レジスタは、サブキャリア位相のセットアップに使用します。

各ビットは1.41°に対応します。通常の動作では、このレジスタは00Hexにセットされます。

サブキャリア周波数レジスタ3	FSC31	FSC30	FSC29	FSC28	FSC27	FSC26	FSC25	FSC24
サブキャリア周波数レジスタ2	FSC23	FSC22	FSC21	FSC20	FSC19	FSC18	FSC17	FSC16
サブキャリア周波数レジスタ1	FSC15	FSC14	FSC13	FSC12	FSC11	FSC10	FSC9	FSC8
サブキャリア周波数レジスタ0	FSC7	FSC6	FSC5	FSC4	FSC3	FSC2	FSC1	FSC0

図45．サブキャリア周波数レジスタ

クローズド・キャプション偶数フィールドデータ・レジスタ1～0（CED15～CED00） (アドレス[SR4～SR0]＝0E～0FH)

これらの8ビット・ワイド・レジスタは、偶数フィールドのクローズド・キャプション拡張データ・バイトのセットアップに使用します。レジスタの上位バイトと下位バイトの設定を図46に示します。

バイト1	CED15	CED14	CED13	CED12	CED11	CED10	CED9	CED8
バイト0	CED7	CED6	CED5	CED4	CED3	CED2	CED1	CED0

図46．クローズド・キャプション拡張データ・レジスタ

クローズド・キャプション奇数フィールドデータ・レジスタ1～0（CCD15～CCD00） (サブアドレス[SR4～SR0]＝10～11H)

これらの8ビット・ワイド・レジスタは、奇数フィールドのクローズド・キャプション・データ・バイトのセットアップに使用します。レジスタの上位バイトと下位バイトの設定を図47に示します。

バイト1	CCD15	CCD14	CCD13	CCD12	CCD11	CCD10	CCD9	CCD8
バイト0	CCD7	CCD6	CCD5	CCD4	CCD3	CCD2	CCD1	CCD0

図47．クローズド・キャプション・データ・レジスタ

NTSCペデスタル/PALテレテキスト制御レジスタ3～0（PCE15～0、PCO15～0）/（TXE15～0、TXO15～0） (サブアドレス[SR4～SR0]＝12～15H)

これらの8ビット・ワイド・レジスタは、奇数および偶数フィールドの両方の垂直ブランク期間に、NTSCペデスタル/PALテレテキストをラインごとに有効にするのに使用します。図48および図49に、4つの制御レジスタを示します。これらのレジスタの任意のビットが論理レベル“1”になると、NTSCでは対応するラインのペデスタルがオフになります。

これらのレジスタの任意のビットが論理レベル“1”になると、PALでは対応するラインのテレテキストがオンになります。

	LINE 17	LINE 16	LINE 15	LINE 14	LINE 13	LINE 12	LINE 11	LINE 10
FIELD 1/3	PCO7	PCO6	PCO5	PCO4	PCO3	PCO2	PCO1	PCO0

	LINE 25	LINE 24	LINE 23	LINE 22	LINE 21	LINE 20	LINE 19	LINE 18
FIELD 1/3	PCO15	PCO14	PCO13	PCO12	PCO11	PCO10	PCO9	PCO8

	LINE 17	LINE 16	LINE 15	LINE 14	LINE 13	LINE 12	LINE 11	LINE 10
FIELD 2/4	PCE7	PCE6	PCE5	PCE4	PCE3	PCE2	PCE1	PCE0

	LINE 25	LINE 24	LINE 23	LINE 22	LINE 21	LINE 20	LINE 19	LINE 18
FIELD 2/4	PCE15	PCE14	PCE13	PCE12	PCE11	PCE10	PCE9	PCE8

図48．ペデスタル制御レジスタ

	LINE 14	LINE 13	LINE 12	LINE 11	LINE 10	LINE 9	LINE 8	LINE 7
FIELD 1/3	TXO7	TXO6	TXO5	TXO4	TXO3	TXO2	TXO1	TXO0

	LINE 22	LINE 21	LINE 20	LINE 19	LINE 18	LINE 17	LINE 16	LINE 15
FIELD 1/3	TXO15	TXO14	TXO13	TXO12	TXO11	TXO10	TXO9	TXO8

	LINE 14	LINE 13	LINE 12	LINE 11	LINE 10	LINE 9	LINE 8	LINE 7
FIELD 2/4	TXE7	TXE6	TXE5	TXE4	TXE3	TXE2	TXE1	TXE0

	LINE 22	LINE 21	LINE 20	LINE 19	LINE 18	LINE 17	LINE 16	LINE 15
FIELD 2/4	TXE15	TXE14	TXE13	TXE12	TXE11	TXE10	TXE9	TXE8

図49．テレテキスト制御レジスタ

テレテキスト制御レジスタTC07（TC07～TC00） (アドレス[SR4～SR0]＝19H)

テレテキスト制御レジスタは、8ビット・ワイド・レジスタです。図50を参照してください。

TTXREQ立ち上がりエッジ制御（TC07～TC04）

これらのビットは、TTXREQの立ち上がりエッジ位置を制御します。ゼロ・クロック・サイクルから最大15クロック・サイクルまでプログラムすることができます。図59を参照してください。

TTXREQ立ち下がりエッジ制御（TC03～TC00）

これらのビットは、TTXREQの立ち下がりエッジ位置を制御します。ゼロ・クロック・サイクルから最大15クロック・サイクルまでプログラムすることができます。これにより、テレテキスト・データのアクティブ・ウィンドウが制御されます。この値を増やすと、デフォルトの360以下にテレテキスト・ビットが減ります。ビットTC07～TC04を変更したときにTC03～TC00が00Hexの場合、TTXREQの立ち下がりエッジと立ち上がりエッジが同じ（つまり、立ち下がりエッジと立ち上がりエッジの間の時間が一定のまま）になります。図59を参照してください。

CGMS_WSSレジスタ0 C/W0（C/W07～C/W00） (アドレス[SR4～SR0]＝16H)

CGMS_WSSレジスタ0は、8ビット・ワイド・レジスタです。このレジスタの制御による動作を図51に示します。

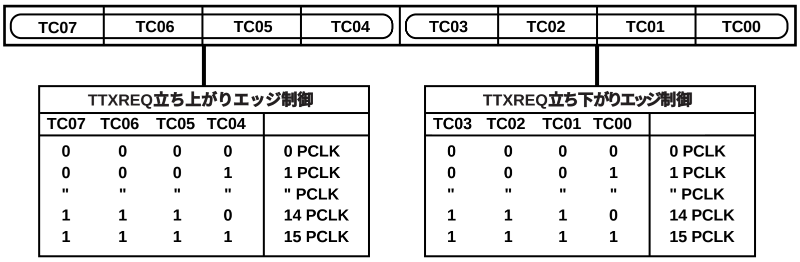


図50．テレテキスト制御レジスタ

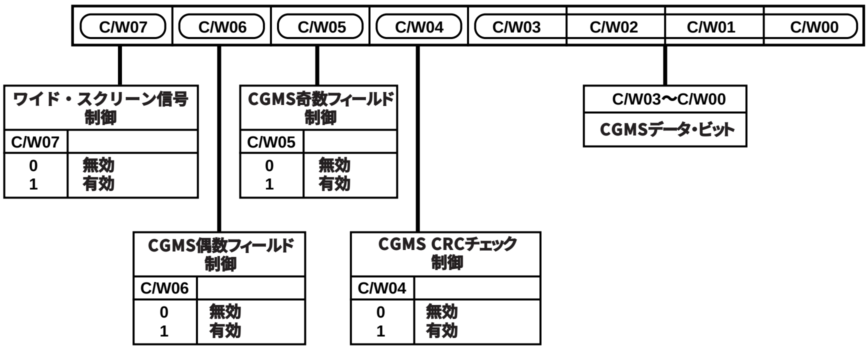


図51．CGMS_WSSレジスタ0

C/W0ビット概要

CGMSデータ・ビット（C/W03～C/W00）

これらの4データ・ビットは、CGMSデータ出力ストリームの最終4ビットです。これらのビット位置は、CGMSデータ専用です。すなわち、WSSデータは、この位置を使用することができません。

CGMS CRCチェック制御（C/W04）

このビットが"1"にセットされて有効になると、CGMSデータの最後の6ビットであるCRCチェック・シーケンスがADV7170/ADV7171の内部で計算されます。このビットが"0"にセットされ無効になると、レジスタのCRC値がCGMSデータ・ストリームに出力されます。

CGMS奇数フィールド制御（C/W05）

このビットが"1"にセットされると、奇数フィールドのCGMSが有効になります。これはNTSCモードに限り有効なことにご注意ください。

CGMS偶数フィールド制御（C/W06）

このビットが"1"にセットされると、偶数フィールドのCGMSが有効になります。これはNTSCモードに限り有効なことにご注意ください。

WSS制御（C/W07）

このビットが"1"にセットされると、ワイド・スクリーン・シグナリング（WSS）が有効になります。これはPALモードに限り有効なことにご注意ください。

CGMS_WSSレジスタ1 C/W1（C/W17～C/W10）
（アドレス[SR4～SR0]＝17H）

CGMS_WSSレジスタ1は、8ビット・ワイド・レジスタです。このレジスタの制御下における動作を図52に示します。

C/W1ビット概要

CGMS/WSSデータ・ビット（C/W15～C/W10）

これらのビット位置は、CGMSデータとWSSデータで共有されます。NTSCモードでは、これらのビットがCGMSデータになります。PALモードでは、これらのビットはWSSデータになります。

CGMSデータ・ビット（C/W17～C/W16）

これらのビットは、CGMSデータ・ビットに限定されます。

CGMS_WSSレジスタ2 C/W1（C/W27～C/W20）

（アドレス[SR4～CR0]＝18H）

CGMS_WSSレジスタ2は、8ビット・ワイド・レジスタです。このレジスタの制御下における動作を図53に示します。

C/W2ビット概要

CGMS/WSSデータ・ビット（C/W27～C/W20）

これらのビット位置は、CGMSデータとWSSデータで共有されます。NTSCモードでは、これらのビットがCGMSデータになります。PALモードでは、これらのビットはWSSデータになります。

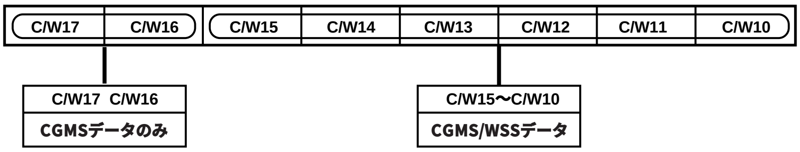


図52．CGMS_WSSレジスタ1

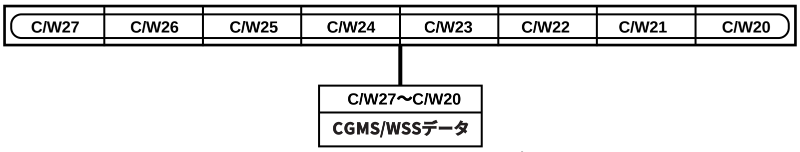


図53．CGMS_WSSレジスタ2

付録1

基板設計とレイアウトの考察

ADV7170/ADV7171は、高精度アナログ回路と高速デジタル回路の両方を搭載した高密度集積回路です。高速デジタル回路によるアナログ回路への干渉が小さくなるように設計されています。高速、高精度性能が得られるように、同じ設計とレイアウト技術をシステム・レベルの設計で適用することが不可欠です。図54「推奨アナログ回路レイアウト」に、デバイスとモニター間のアナログ・インターフェースを示します。

デジタル入力をシールドし、良好なデカップリングを設けて、ADV7170/ADV7171の電源ラインとアース・ラインのノイズが最小になるようにレイアウトを最適化しなければなりません。VAAピンとGNDピンのグループ間のリード長は、誘導性リンギングを最小にするために最短にしてください。

グラウンド・プレーン

ADV7170/ADV7171のすべての接地ピン、リファレンス電圧回路、ADV7170/ADV7171の電源バイパス回路、アナログ出力線、そしてADV7170/ADV7171に接続されるすべてのデジタル信号線をグラウンド・プレーンで囲みます。グラウンド・プレーンとは、基板の共通接地面のことです。

この面は、基板の放熱と電力損失を最適にするために、できるだけ広くしなければなりません。

パワー・プレーン

ADV7170/ADV7171と、関連するアナログ回路は、アナログ・パワー・プレーン（V_{AA}）と呼ぶ専用のパワー・プレーンを持っていなければなりません。このパワー・プレーンは、フェライト・ビーズを通して通常のPCBパワー・プレーン（V_{CC}）に一点で接続します。このビーズは、ADV7170/ADV7171から3インチ以内に配置しなければなりません。

デバイスのパワー・プレーンと基板のパワー・プレーンを分離するメタライゼーション・ギャップは、デバイスから普通の基板への熱伝導障害が最小になるように、できるだけ狭くしなければなりません。

PCBパワー・プレーンは、PCB上のすべてのデジタルICに電源を供給し、アナログ・パワー・プレーンはすべてのADV7170/ADV7171電源ピンとリファレンス電圧回路に電源を供給しなければなりません。

プレーン間のノイズがコモン・モード・ノイズになるようにプレーンを配置していない場合は、通常のPCBパワー・プレーンとグラウンド・プレーンの部分がアナログ・パワー・プレーンに重ならないようにすれば、プレーン間のノイズ結合を減らすことができます。

電源デカップリング

最適性能を得るには、動作信頼性を高めてリードのインダクタンスを減らすために、できるだけリードを短くしたバイパス・コンデンサを使用するべきです。0.1μFのセラミック・コンデンサをデカップリングに使用すると、最高の性能が得られます。ADV7170/ADV7171のV_{AA}ピンの各グループには、少なくとも1個の0.1μFのデカップリング・コンデンサでGNDと接続することが必要です。これらのコンデンサは、できるだけデバイスの近くに配置しなければなりません。

重要なことですが、ADV7170/ADV7171には電源ノイズ除去回路が搭載されていますが、周波数が高くなるとその効果が低くなることに注意してください。高周波スイッチング電源を使用する場合、設計者は電源ノイズの低減に十分な注意を払い、アナログ・パワー・プレーンへの電源供給に3端子電圧レギュレータの使用を考慮すべきです。

デジタル信号相互接続

ADV7170/ADV7171へのデジタル入力は、アナログ出力および他のアナログ回路とできる限り分離してください。また、これらの入力信号をアナログ・パワー・プレーンに重ねてはなりません。

クロック周波数が高いので、ノイズを拾わないようにADV7170/ADV7171へのクロック・ラインを長くしないようにしなければなりません。

デジタル入力へのアクティブ終端抵抗は、通常のPCBパワー・プレーン（V_{CC}）に接続し、アナログ・パワー・プレーンに接続してはなりません。

アナログ信号の相互接続

できるだけノイズを拾わないように、またインピーダンスのミスマッチによる反射を拾わないように、できるだけ出力コネクタの近くにADV7170/ADV7171を配置してください。

ビデオ出力信号は、最大限の高周波電源除去が可能なように、グラウンド・プレーンに重ね、アナログ・パワー・プレーンには重ならないようにします。

特にピクセル・データ入力やクロック信号などのデジタル入力は、アナログ信号回路に重なることがあってはなりません。できるだけ遠くに離してください。

最適性能を得るには、各々の出力にGNDに接続した75Ωの負荷抵抗を接続します。これらの抵抗は反射を抑えるために、できるだけADV7170/ADV7171の近くに配置してください。

ADV7170/ADV7171のどの入力も、フロートさせたままにしてはなりません。必要ない入力は、アースに接続してください。

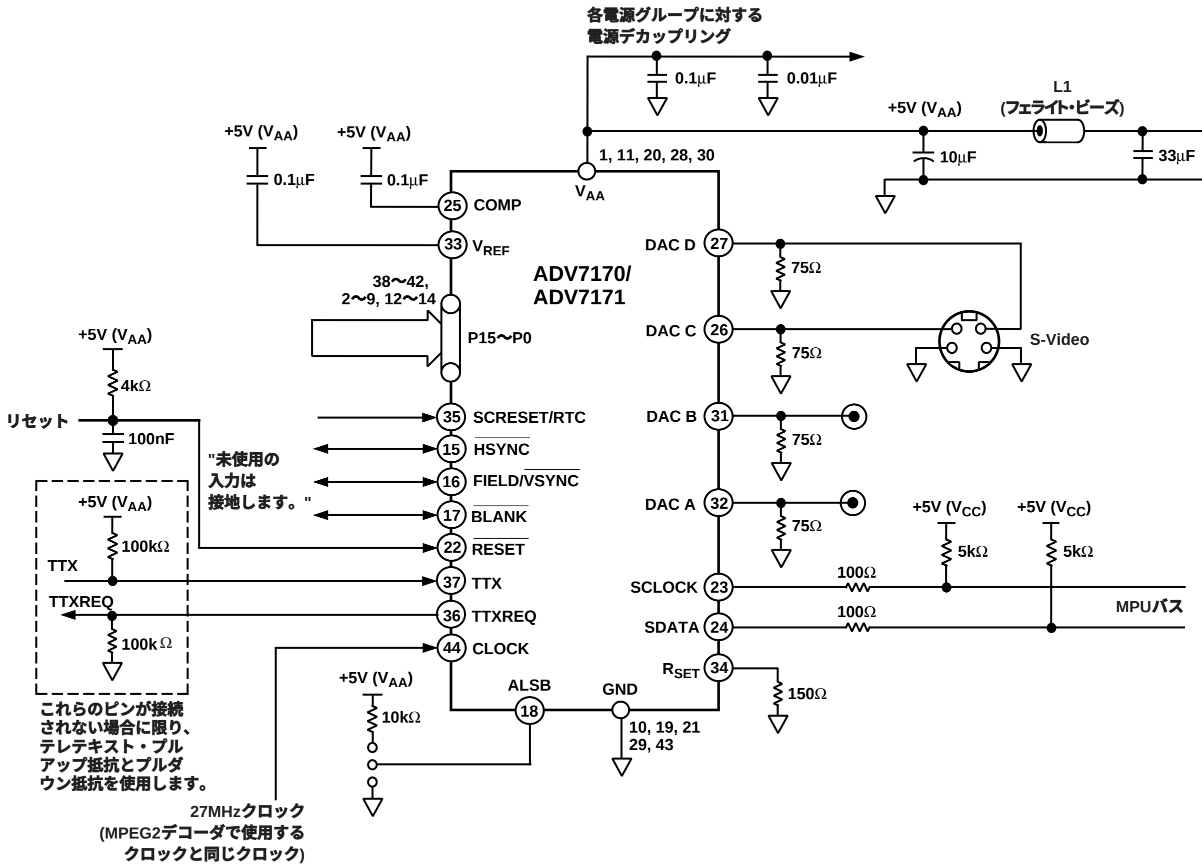


図54．推奨アナログ回路レイアウト

下の図に示す回路は、27 MHzのクロックと$\overline{\text{HSYNC}}$パルスを使って13.5 MHzの波形を生成するのに使用します。この波形は、確実に27 MHzのクロックに同期した13.5 MHzのクロックになります。MPEGデコーダで13.5 MHzのクロックが必要な場合は、この13.5 MHzのクロックを使用できます。これにより、Cr/Cbピクセル情報が正しいシーケンスでADV7170/ADV7171に入力されます。

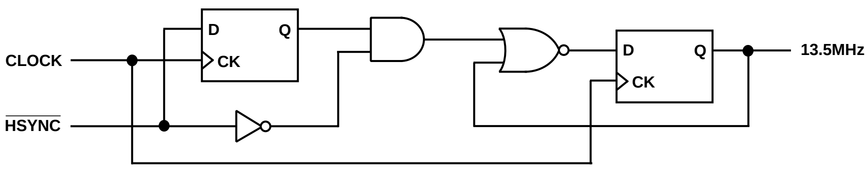


図55．13.5 MHz生成回路

付録2

クローズド・キャプション

ADV7170/ADV7171は、カラー信号伝送用標準テレビ同期波形に適合したクローズド・キャプションに対応しています。クローズド・キャプションは、奇数フィールドのライン21および偶数フィールドのライン284のブランクされたアクティブ・ライン期間に伝送されます。

クローズド・キャプションは、キャプション・データに周波数と位相がロックした7サイクルのサイン・バーストで構成されています。クロック・ランイン信号に続いて、2データ・ビット間、ブランキング・レベルがホールドされ、それに論理レベル"1"のスタート・ビットが続きます。スタート・ビットに続いて、16ビットのデータがあります。これらは、2つの8ビット・バイト、7データ・ビット、1つの奇数パリティ・ビットで構成されています。これらのバイトのデータは、クローズド・キャプション・データ・レジスタ0と1にストアされます。

ADV7170/ADV7171は、偶数フィールドでアクティブになりライン284でエンコードされる拡張クローズド・キャプション動作にも対応しています。この動作のデータは、クローズド・キャプション拡張データ・レジスタ0と1にストアされます。

すべてのクロック・ラン・イン信号と、ライン21とライン284のクローズド・キャプションに対応するタイミングは、ADV7170/ADV7171によって自動的に生成されます。すべてのピクセル入力は、ライン21とライン284の間は無視されます。

連邦法に基づくFCCコード（CFR）の47、セクション15.119およびEIA608に、ライン21とライン284のクローズド・キャプション情報について説明しています。

ADV7170/ADV7171は、シングル・バッファ・システムを使用します。つまり、クローズド・キャプション・バッファの深さは、わずか1バイトです。したがって、他の深さが2バイトのバッファ・システムとは異なり、クローズド・キャプション・データ出力にはフレーム遅延がありません。データは、少なくともライン21およびライン284に出力される1ライン前（ライン20またはライン283）にロードしなければなりません。普通、この方法ではVSYNCを使用してマイクロプロセッサに割り込み、フィールドごとに新しいデータ（2バイト）をロードします。新しいデータを伝送する必要がない場合、両方のデータ・レジスタにゼロを挿入しなければなりません。これはヌリング（NULLING）と呼ばれます。ライン21にダブル・バイトの「制御コード」をロードすることも重要です。そうしないと、テレビ受像機が制御コードを認識しません。文字数が奇数の「Hello World」のようなメッセージの場合、継ぎ足して偶数の文字数にし、「end of caption」2バイト制御コードが得られるようにして、同一フィールド内に収まるようにすることが重要です。

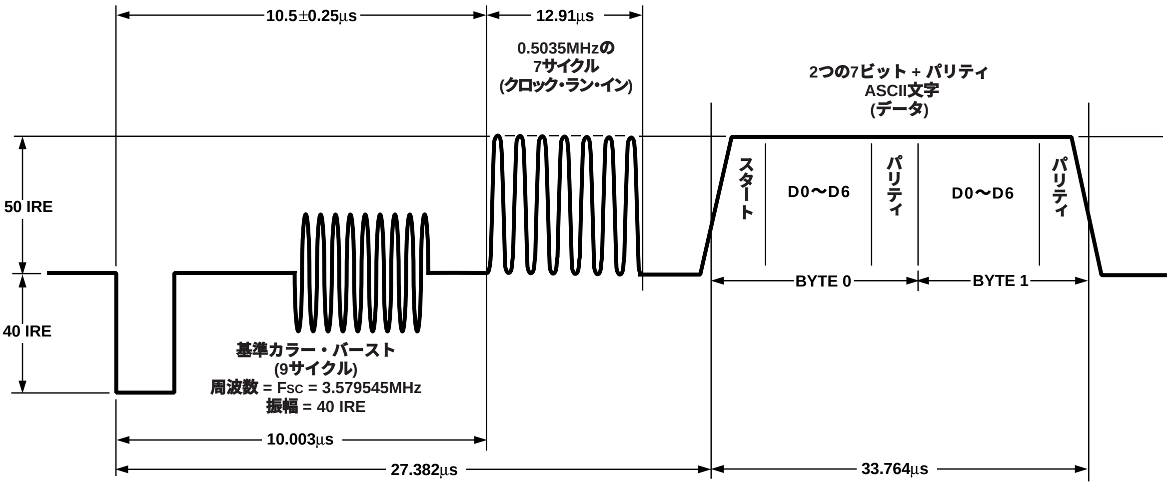


図56．クローズド・キャプション波形（NTSC）

付録3

コピー・ジェネレーション・マネージメント・システム（CGMS）

ADV7170/ADV7171は、標準規格に適合するコピー・ジェネレーション・マネージメント・システム（CGMS）に対応しています。CGMSデータは、奇数フィールドのライン20および偶数フィールドのライン283で伝送されます。ビットC/W05およびC/W06により、CGMSデータを奇数フィールドと偶数フィールドで出力するか、出力しないかが決まります。CGMSデータは、ADV7170/ADV7171がNTSCモードの場合に限り伝送されます。CGMSデータは20ビット長であり、これらのビット各々の機能は、以下に示すようになります。CGMSビットとして、同じ振幅と期間の基準パルスがCGMSデータの前にあります（図57参照）。ビットは、次の順序でコンフィギュレーション・レジスタから出力されます（C/W00＝C16、C/W01＝C17、C/W02＝C18、C/W03＝C19、C/W10＝C8、C/W11＝C9、C/W12＝C10、C/W13＝C11、C/W14＝C12、C/W15＝C13、C/W16＝C14、C/W17＝C15、C/W20＝C0、C/W21＝C1、C/W22＝C2、C/W23＝C3、C/W24＝C4、C/W25＝C5、C/W26＝C6、C/W27＝C7）。ビットC/W04が論理レベル“1”にセットされると、データ・レジスタの下位14ビット（C0～C13）に基づいて、ADV7170/ADV7171が6ビットCRCチェック・シーケンスを構成する最後の6ビットC19～C14を自動的に計算し、これが残りの14ビットとともに出力されて、完全な20ビットCGMSデータになります。CRCシーケンスの計算は、プリセット値111111を使用して多項式X^6＋X＋1に基づいて実行されます。C/W04の論理レベルが“0”にセットされると、20ビット（C0～C19）すべてがCGMSレジスタから直接、出力されます（CRCの計算は実行されません。ユーザーが計算しなければなりません）。

CGMSビットの機能

ワード0 ～6ビット
ワード1 ～4ビット
ワード2 ～6ビット
CRC　～6ビット　CRC多項式＝X^6＋X＋1（111111にプリセット）

ワード0	1	0	
B1	アスペクト・レシオ	16：9	4：3
B2	表示フォーマット	レターボックス	ノーマル
B3	未定義		

ワード0	
B4, B5, B6	ビデオと他の信号（例えばオーディオ）のID情報
ワード1	
B7, B8, B9, B10	ワード0に付随するID信号
ワード2	
B11, B12, B13, B14	ワード0に付随するID信号と情報

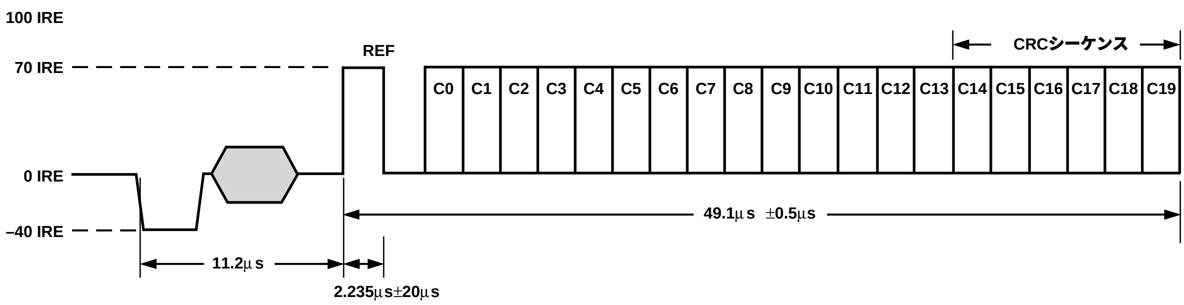


図57．CGMS波形図

付録4

ワイド・スクリーン・シグナリング

ADV7170/ADV7171は、標準規格に適合するワイド・スクリーン・シグナリング（WSS）に対応しています。WSSデータはライン23で伝送されます。ADV7170/ADV7171がPALモードに設定された場合にのみ、WSSデータの伝送が可能です。WSSデータは14ビット長で、これらのビット各々の機能は、以下に示すようになります。WSSデータの前には、ラン・イン・シーケンスとスタート・コードがあります（図58参照）。ビットは、次の順序でコンフィギュレーション・レジスタから出力されます（C/W20＝W0、C/W21＝W1、C/W22＝W2、C/W23＝W3、C/W24＝W4、C/W25＝W5、C/W26＝W6、C/W27＝W7、C/W10＝W8、C/W11＝W9、C/W12＝W10、C/W13＝W11、C/W14＝W12、C/W15＝W13）。ビットC/W07の論理レベルが“1”にセットされると、WSSデータがライン23で伝送されます。ライン23の後部（$\overline{HSYNC}$の立ち下がりエッジから42.5μs）は、ビデオの挿入に使えます。

CGMSビットの機能

ビット0～ビット2　　アスペクト・レシオ/フォーマット/位置

ビット3は、ビット0～ビット2の奇数パリティ・チェック

B0	B1	B2	B3	アスペクト・レシオ	フォーマット	位置
0	0	0	1	4：3	フル・フォーマット	適用不可
1	0	0	0	14：9	レターボックス	センター
0	1	0	0	14：9	レターボックス	トップ
1	1	0	1	16：9	レターボックス	センター
0	0	1	0	16：9	レターボックス	トップ
1	0	1	1	＞16：9	レターボックス	センター
0	1	1	1	14：9	フル・フォーマット	センター
1	1	1	0	16：9	適用不可	適用不可

B4	
0	カメラ・モード
1	フィルム・モード
B5	
0	標準コーディング
1	動き適応型カラー・プラス
B6	
0	ヘルパーなし
1	被変調ヘルパー
B7	予約

B9	B10	
0	0	オープン・サブタイトルなし
1	0	アクティブ・イメージ・エリア内のサブタイトル
0	1	アクティブ・イメージ・エリア外のサブタイトル
1	1	予約
B11		
0		サラウンド・サウンド情報なし
1		サラウンド・サウンド・モード
B12		予約
B13		予約

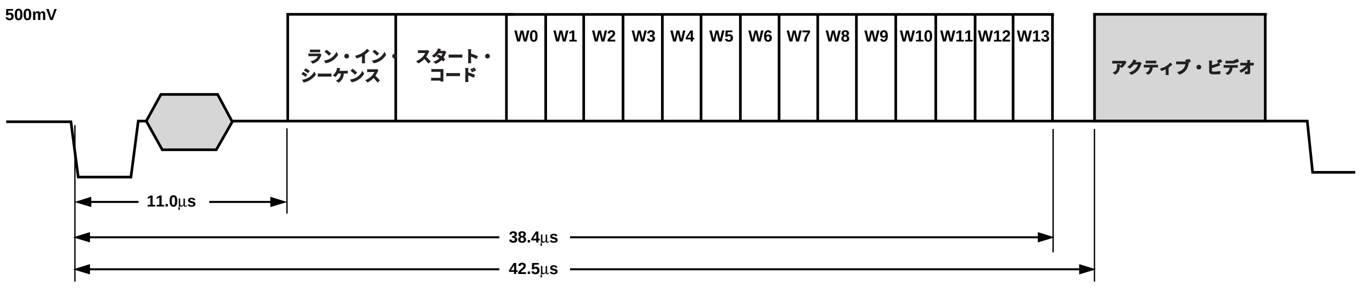


図58．WSS波形図

付録5

テレテキスト挿入

t_{PD}は、ADV7170/ADV7171がTTXの入力データを補間し、それをCVBSまたはY出力に挿入し、水平信号の立ち上がりエッジ後、$t_{SYNTXTOUT}$＝10.2μsに現れるようにするために必要な時間です。TXT_{DEL}は、TTXデータを伝送するためにTTREQ信号でゲートされるソースによるパイプライン遅延時間です。

TTXREQ信号の立ち上がり/立ち下がりエッジで可能なプログラムにより、TTXデータが常に水平同期パルスの立ち上がり後、10.2μsの正しい位置に挿入され、それによって可変パイプライン遅延とソースとのインターフェースが可能です。

TTXREQ信号の幅は、6.9375 Mbits/sのテキスト・データ・レートで360テレテキスト・ビット（テレテキスト標準“PAL-WST”に適合）を挿入するために、常に一定に維持しなければなりません。これはTC03〜TC00をゼロにセットすることで可能です。テレテックス・イネーブル・ビット（MR34）がゼロにセットされていると、挿入ウィンドウは開きません。

テレテキスト・プロトコル

50 Hzの場合のTTXビット・クロック（6.9375 MHz）とシステム・クロック（27 MHz）の関係は次のようになります。

（27 MHz/4）＝6.75 MHz

$(6.9375\times10^6/6.75\times10^6) = 1.027777$

これにより、37のTTXビットが144クロック（27 MHz）に対応します。また、各ビット幅は、約4クロック・サイクルになります。ADV7170/ADV7171は、位相ジッターを最小にするために内部シーケンサと可変位相補間フィルタを使用しています。これにより、CVBSおよびY出力から帯域制限信号を出力することができます。

TTX入力では、各37TTXビットまたは144クロック・サイクルの後に、ビット期間が繰り返されます。プロトコル条件としては、TTXビット（10、19、28、37）が3クロック・サイクルで転送され、他のすべてのビットが4クロック・サイクルで転送されなければなりません。37TTXビットの後、3クロック・サイクルで転送される次のビットは、47、56、65、74になります。全部の360TTXビットが完了するまで、続く37TTXビットすべてを同様に転送します。すべてのテレテキスト・ラインが、この方法で実行されます。テレテキスト・ライン個々の制御は、テレテキスト・セットアップ・レジスタで行われます。

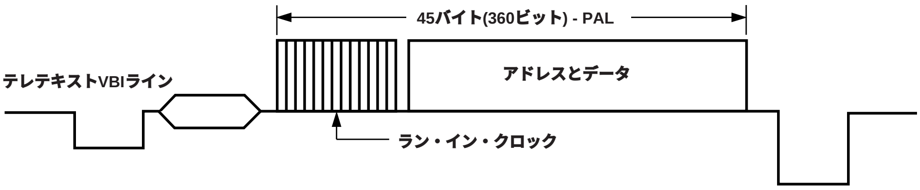


図59．テレテキストVBIライン

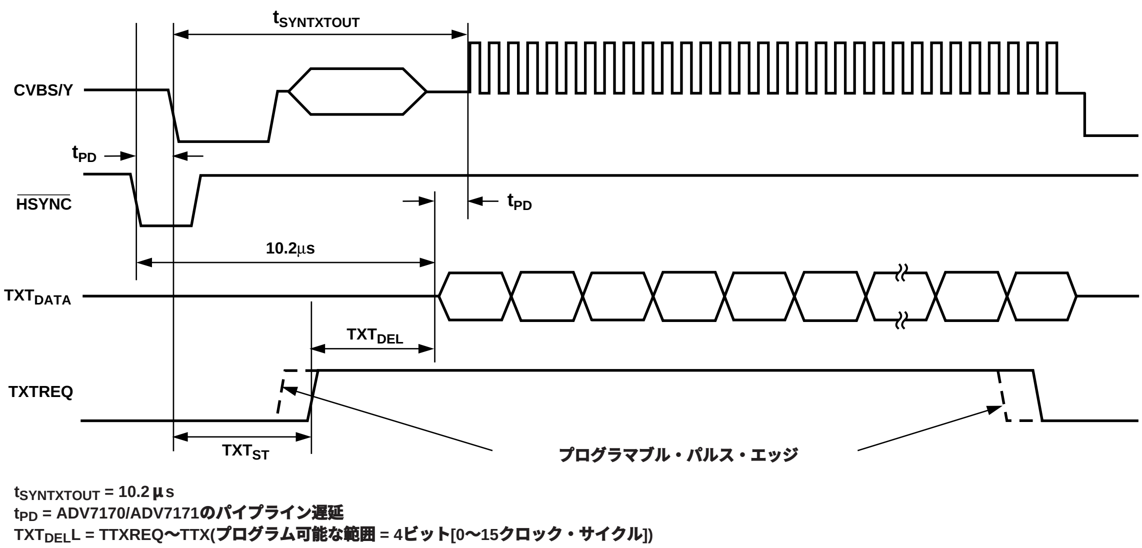


図60．テレテキスト機能図

付録6

NTSC波形（ペデスタルあり）

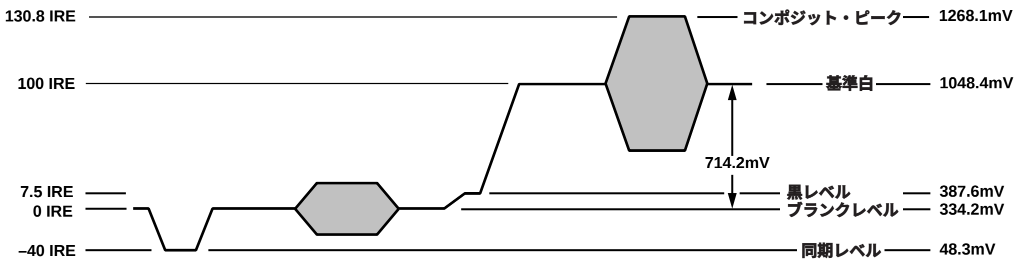


図61．NTSCコンポジット・ビデオ・レベル

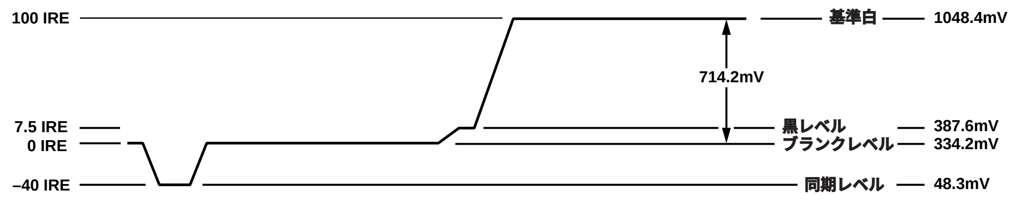


図62．NTSC輝度ビデオ・レベル

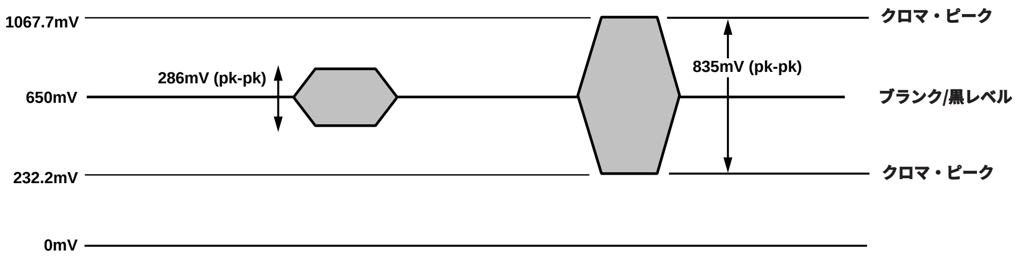


図63．NTSCクロマ・ビデオ・レベル

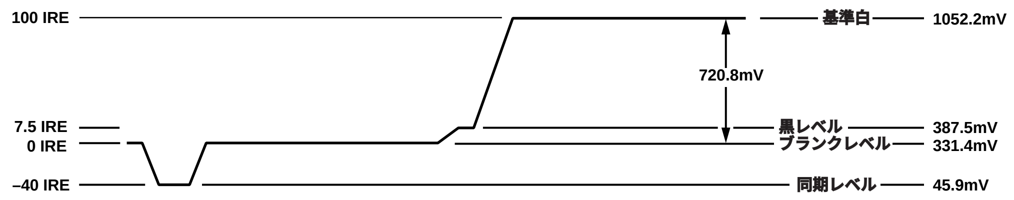


図64．NTSC RGBビデオ・レベル

NTSC波形（ペデスタルなし）

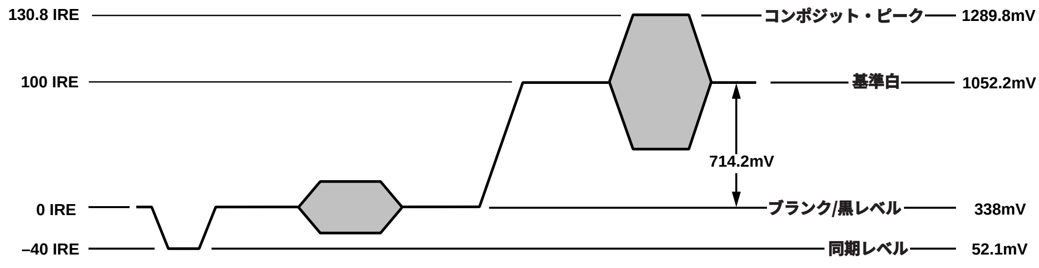


図65．NTSCコンポジット・ビデオ・レベル

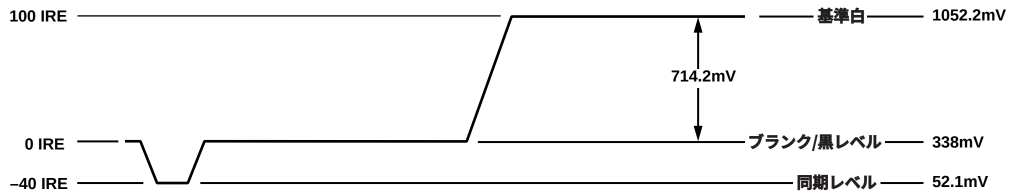


図66．NTSC輝度ビデオ・レベル

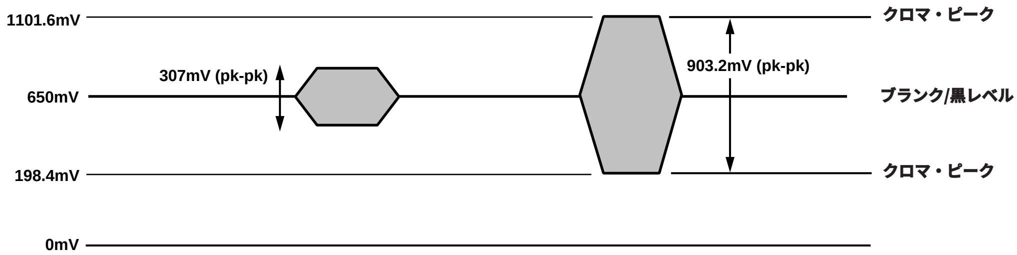


図67．NTSCクロマ・ビデオ・レベル

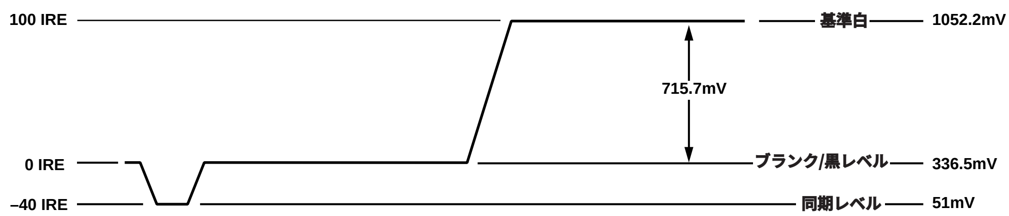


図68．NTSC RGBビデオ・レベル

PAL波形

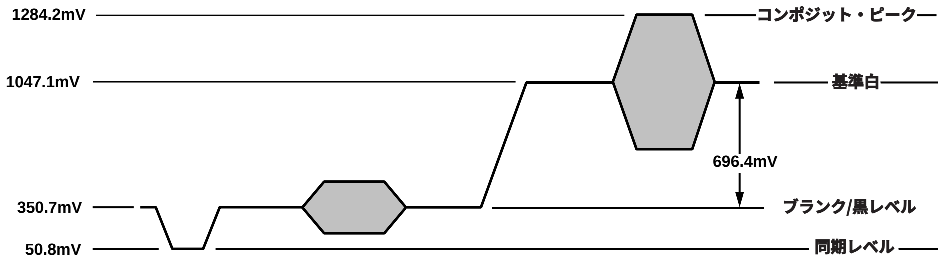


図69．PALコンポジット・ビデオ・レベル

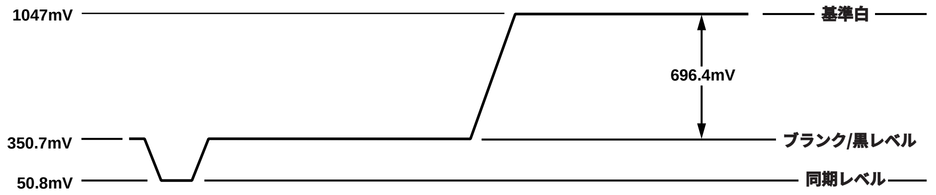


図70．PAL輝度ビデオ・レベル

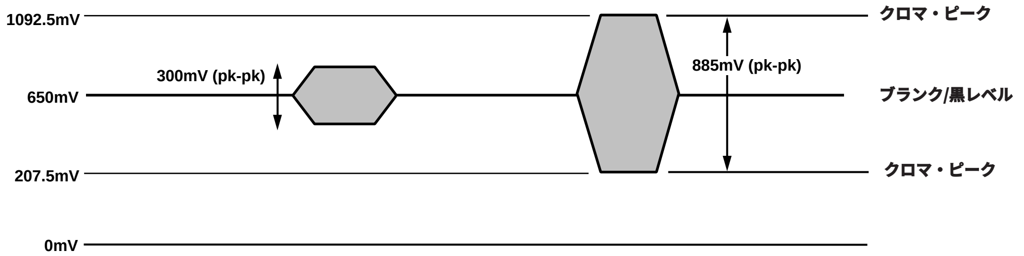


図71．PALクロマ・ビデオ・レベル

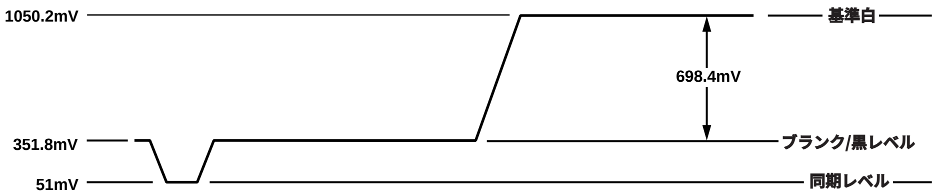


図72．PAL RGBビデオ・レベル

UV波形

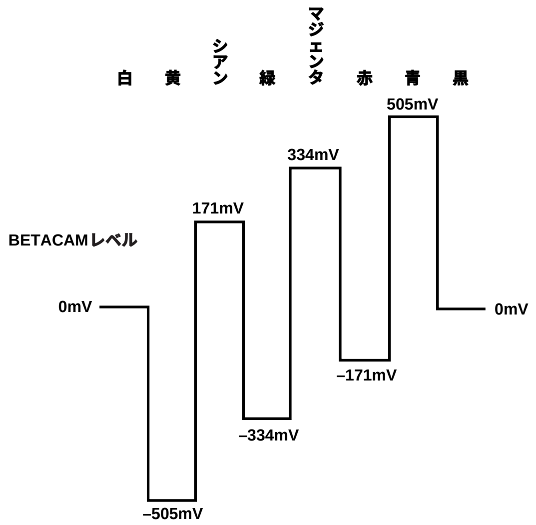


図73．NTSC 100%カラー・バー、ペデスタルなしUレベル

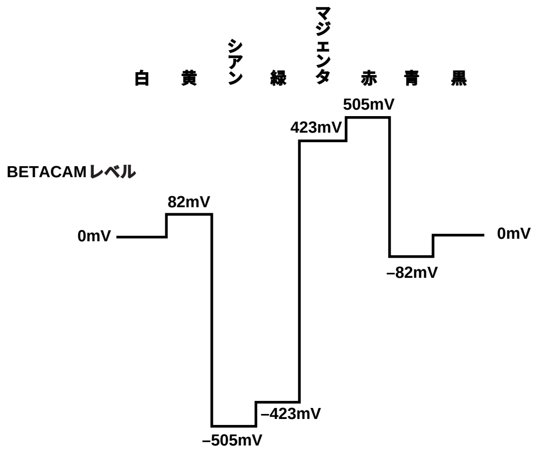


図76．NTSC 100%カラー・バー、ペデスタルなしVレベル

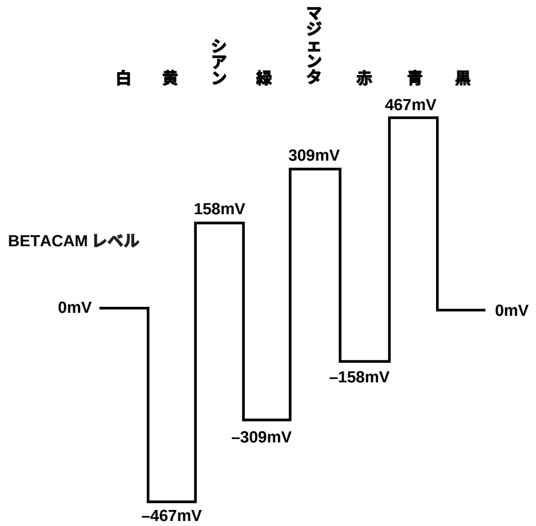


図74．NTSC 100%カラー・バー、ペデスタルありUレベル

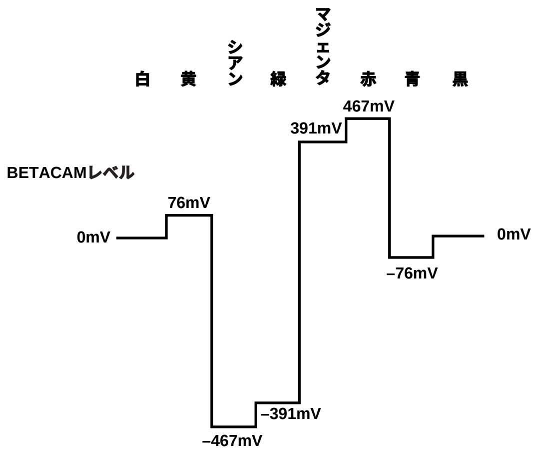


図77．NTSC 100%カラー・バー、ペデスタルありVレベル

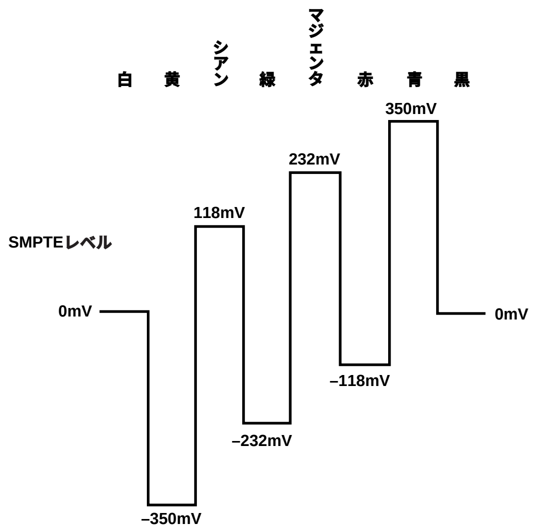


図75．PAL 100%カラー・バー、Uレベル

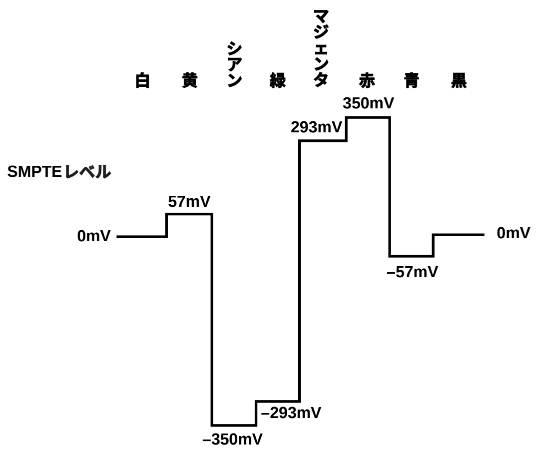


図78．PAL 100%カラー・バー、Vレベル

付録7

オプションの出力フィルタ

ADV7170/ADV7171のCVBS、Y、UV、クロマ、RGB各出力に出力フィルタが必要な場合、図79に示すフィルタを使用することができます。図80、図81、図82にフィルタ特性を示します。ADV7170/ADV7171の出力を普通のアナログ・モニターやアナログ・テレビ受像機に接続する場合、出力フィルタは必要ありません。しかし、出力信号がサンプリングを使用するシステム（デジタル・テレビ受像機など）に入力する場合、エイリアスを防ぐためにフィルタが必要になります。

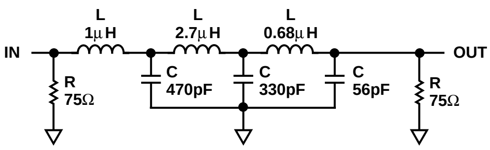


図79．出力フィルタ

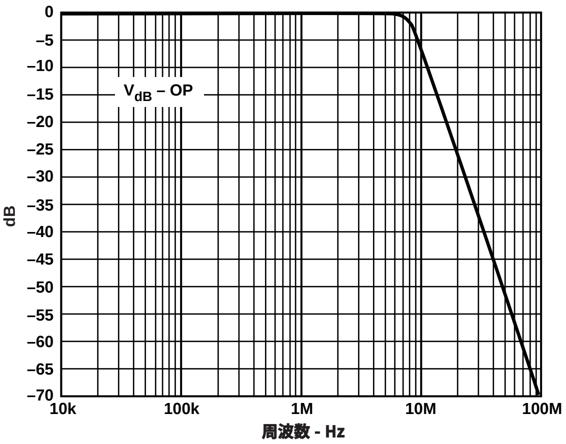


図80．出力フィルタ特性

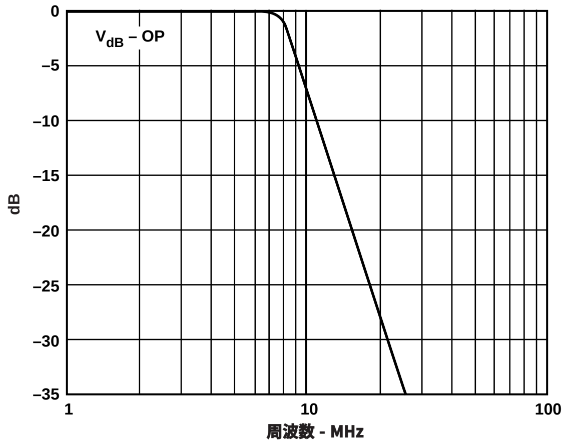


図81．出力フィルタ特性の拡大図

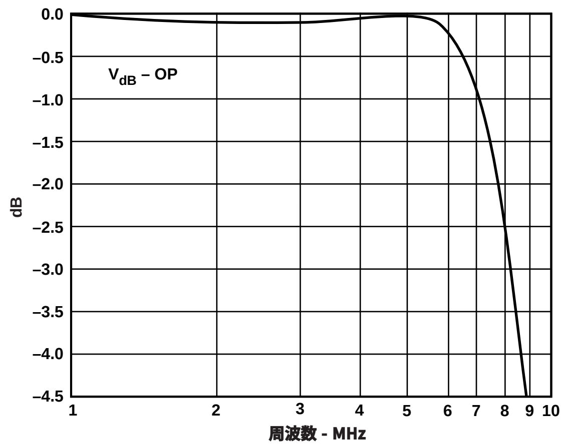


図82．出力フィルタ特性の拡大図

付録8

オプションのD/ACバッファ

ADV7170/ADV7171のD/AC出力に外部バッファが必要な場合、図83の構成にすることを推奨します。この構成では、全電流（36 mA）容量の半分（18 mA）でD/AC出力が動作しています。これによって、ADV7170/ADV7171の電力損失を減らすことができ、R_{SET}が300ΩでR_{LOAD}が75Ωのときにアナログ電流が50%減少します。V_{AA}が3.3 VでD/AC出力が18 mAのとき最適の性能が得られるので、このモードでは3.3 Vでの動作を推奨します。このバッファにより、さらにビデオ出力の分離度が高くなります（図84のバッファ回路を参照）。

次の式で絶対出力フルスケール電流と電圧を計算します。

$$V_{OUT} = I_{OUT} \times R_{LOAD}$$

$$I_{OUT} = \frac{(V_{REF} \times K)}{R_{SET}}$$

$K = 4.2146$（定数）、$V_{REF} = 1.235\ V$

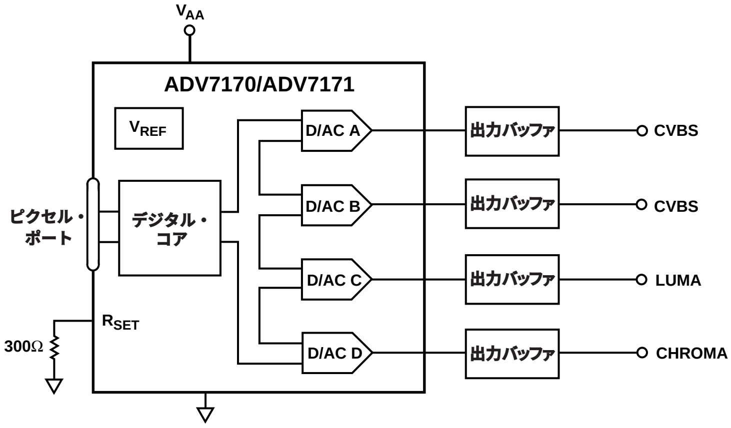


図83．出力D/ACバッファ構成

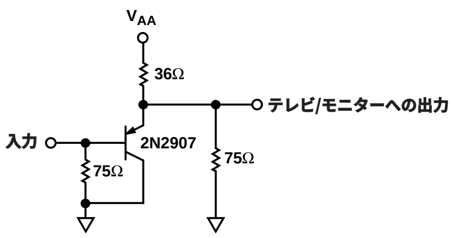


図84．推奨出力D/ACバッファ

付録9

推奨レジスタ値

ADV7170/ADV7171のレジスタは、ユーザーの求める標準規格に応じて設定できます。

いくつかのビデオ標準規格に対する種々のレジスタ設定例を次に示します。

各例では、すべてのD/ACに電源が供給され、$\overline{\text{BLANK}}$入力制御が無効になっている状態で、出力がコンポジットo/pに設定されています。さらに、バーストとカラー情報が出力され、内蔵カラー・バー発生器がオフになっています。これらの例では、タイミング・モードは、スレーブ・フォーマットでモード0になっています。タイミング・レジスタ0のTR02～TR00で、タイミング・モードを制御します。コマンド・レジスタ内の各ビットの詳細については、データ・シートのレジスタ・プログラムのセクションを参照してください。新しいタイミング・モードを設定したら、TR07をトグルしなければなりません。タイミング・レジスタ1により、タイミング信号の位置と期間を調整することができます。この例のタイミング・レジスタ1は、デフォルト・モードでプログラムされています。

PAL B、D、G、H、I (F_{SC}＝4.43361875 MHz)

アドレス		データ
00Hex	モード・レジスタ0	05Hex
01Hex	モード・レジスタ1	00Hex
02Hex	モード・レジスタ2	00Hex
03Hex	モード・レジスタ3	00Hex
04Hex	モード・レジスタ4	00Hex
07Hex	タイミング・レジスタ0	00Hex
08Hex	タイミング・レジスタ1	00Hex
09Hex	サブキャリア周波数レジスタ0	CBHex
0AHex	サブキャリア周波数レジスタ1	8AHex
0BHex	サブキャリア周波数レジスタ2	09Hex
0CHex	サブキャリア周波数レジスタ3	2AHex
0DHex	サブキャリア位相レジスタ	00Hex
0EHex	クローズド・キャプション拡張データ・レジスタ0	00Hex
0FHex	クローズド・キャプション拡張データ・レジスタ1	00Hex
10Hex	クローズド・キャプション・データ・レジスタ0	00Hex
11Hex	クローズド・キャプション・データ・レジスタ1	00Hex
12Hex	ペデスタル制御レジスタ0	00Hex
13Hex	ペデスタル制御レジスタ1	00Hex
14Hex	ペデスタル制御レジスタ2	00Hex
15Hex	ペデスタル制御レジスタ3	00Hex
16Hex	CGMS_WSSレジスタ0	00Hex
17Hex	CGMS_WSSレジスタ1	00Hex
18Hex	CGMS_WSSレジスタ2	00Hex
19Hex	テレテキスト制御レジスタ	00Hex

PAL M (F_{SC}＝3.57561149 MHz)

アドレス		データ
00Hex	モード・レジスタ0	02Hex
01Hex	モード・レジスタ1	00Hex
02Hex	モード・レジスタ2	00Hex
03Hex	モード・レジスタ3	00Hex
04Hex	モード・レジスタ4	00Hex
07Hex	タイミング・レジスタ0	00Hex
08Hex	タイミング・レジスタ1	00Hex
09Hex	サブキャリア周波数レジスタ0	A3Hex
0AHex	サブキャリア周波数レジスタ1	EFHex
0BHex	サブキャリア周波数レジスタ2	E6Hex
0CHex	サブキャリア周波数レジスタ3	21Hex
0DHex	サブキャリア位相レジスタ	00Hex
0EHex	クローズド・キャプション拡張データ・レジスタ 0	00Hex
0FHex	クローズド・キャプション拡張データ・レジスタ 1	00Hex
10Hex	クローズド・キャプション・データ・レジスタ0	00Hex
11Hex	クローズド・キャプション・データ・レジスタ1	00Hex
12Hex	ペデスタル制御レジスタ0	00Hex
13Hex	ペデスタル制御レジスタ1	00Hex
14Hex	ペデスタル制御レジスタ2	00Hex
15Hex	ペデスタル制御レジスタ3	00Hex
16Hex	CGMS_WSSレジスタ0	00Hex
17Hex	CGMS_WSSレジスタ1	00Hex
18Hex	CGMS_WSSレジスタ2	00Hex
19Hex	テレテキスト制御レジスタ	00Hex

PAL N (F_{SC}＝4.43361875 MHz)

アドレス		データ
00Hex	モード・レジスタ0	05Hex
01Hex	モード・レジスタ1	00Hex
02Hex	モード・レジスタ2	00Hex
03Hex	モード・レジスタ3	00Hex
04Hex	モード・レジスタ4	00Hex
07Hex	タイミング・レジスタ0	00Hex
08Hex	タイミング・レジスタ1	00Hex
09Hex	サブキャリア周波数レジスタ0	CBHex
0AHex	サブキャリア周波数レジスタ1	8AHex
0BHex	サブキャリア周波数レジスタ2	09Hex
0CHex	サブキャリア周波数レジスタ3	2AHex
0DHex	サブキャリア位相レジスタ	00Hex
0EHex	クローズド・キャプション拡張データ・レジスタ 0	00Hex
0FHex	クローズド・キャプション拡張データ・レジスタ 1	00Hex
10Hex	クローズド・キャプション・データ・レジスタ0	00Hex
11Hex	クローズド・キャプション・データ・レジスタ1	00Hex
12Hex	ペデスタル制御レジスタ0	00Hex
13Hex	ペデスタル制御レジスタ1	00Hex
14Hex	ペデスタル制御レジスタ2	00Hex
15Hex	ペデスタル制御レジスタ3	00Hex
16Hex	CGMS_WSSレジスタ0	00Hex
17Hex	CGMS_WSSレジスタ1	00Hex
18Hex	CGMS_WSSレジスタ2	00Hex
19Hex	テレテキスト制御レジスタ	00Hex

PAL－60 (F_{SC}＝4.43361875 MHz)

アドレス		データ
00Hex	モード・レジスタ0	04Hex
01Hex	モード・レジスタ1	00Hex
02Hex	モード・レジスタ2	00Hex
03Hex	モード・レジスタ3	00Hex
04Hex	モード・レジスタ4	00Hex
07Hex	タイミング・レジスタ0	00Hex
08Hex	タイミング・レジスタ1	00Hex
09Hex	サブキャリア周波数レジスタ0	CBHex
0AHex	サブキャリア周波数レジスタ1	8AHex
0BHex	サブキャリア周波数レジスタ2	09Hex
0CHex	サブキャリア周波数レジスタ3	2AHex
0DHex	サブキャリア位相レジスタ	00Hex
0EHex	クローズド・キャプション拡張データ・レジスタ0	00Hex
0FHex	クローズド・キャプション拡張データ・レジスタ1	00Hex
10Hex	クローズド・キャプション・データ・レジスタ0	00Hex
11Hex	クローズド・キャプション・データ・レジスタ1	00Hex
12Hex	ペデスタル制御レジスタ0	00Hex
13Hex	ペデスタル制御レジスタ1	00Hex

PAL-60（続き）（F_{SC}＝4.43361875 MHz）

アドレス		データ
14Hex	ペデスタル制御レジスタ2	00Hex
15Hex	ペデスタル制御レジスタ3	00Hex
16Hex	CGMS_WSSレジスタ0	00Hex
17Hex	CGMS_WSSレジスタ1	00Hex
18Hex	CGMS_WSSレジスタ2	00Hex
19Hex	テレテキスト制御レジスタ	00Hex

パワーアップ・リセット値

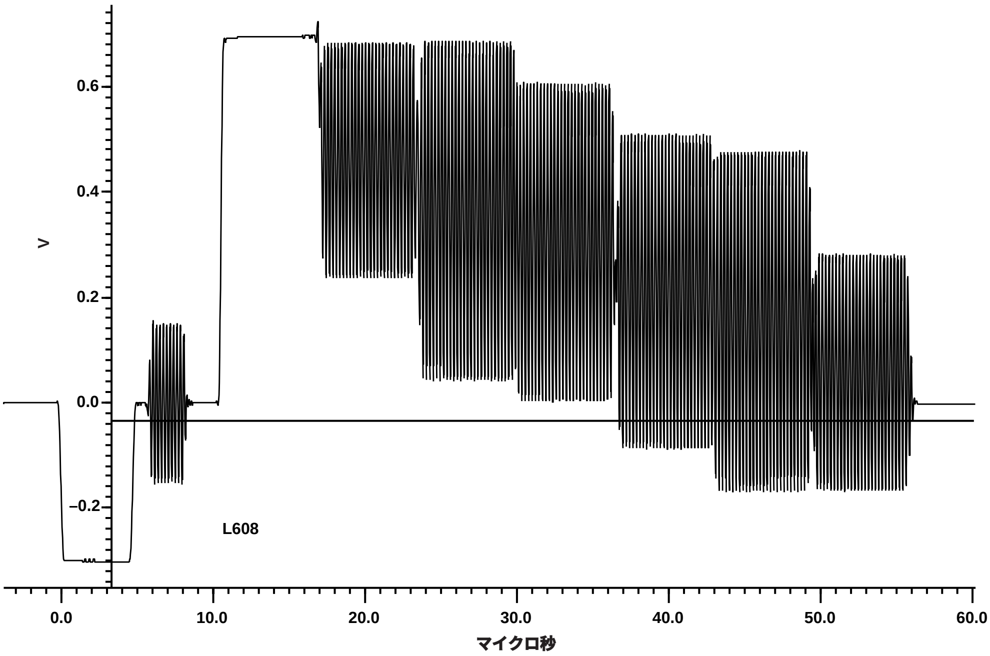
NTSC（F_{SC}＝3.5795454 MHz）

アドレス		データ
00Hex	モード・レジスタ0	00Hex
01Hex	モード・レジスタ1	58Hex
02Hex	モード・レジスタ2	00Hex
03Hex	モード・レジスタ3	00Hex
04Hex	モード・レジスタ4	10Hex
07Hex	タイミング・レジスタ0	00Hex
08Hex	タイミング・レジスタ1	00Hex
09Hex	サブキャリア周波数レジスタ0	16Hex
0AHex	サブキャリア周波数レジスタ1	7CHex
0BHex	サブキャリア周波数レジスタ2	F0Hex
0CHex	サブキャリア周波数レジスタ3	21Hex
0DHex	サブキャリア位相レジスタ	00Hex
0EHex	クローズド・キャプション拡張データ・レジスタ 0	00Hex
0FHex	クローズド・キャプション拡張データ・レジスタ 1	00Hex
10Hex	クローズド・キャプション・データ・レジスタ0	00Hex
11Hex	クローズド・キャプション・データ・レジスタ1	00Hex
12Hex	ペデスタル制御レジスタ0	00Hex
13Hex	ペデスタル制御レジスタ1	00Hex
14Hex	ペデスタル制御レジスタ2	00Hex
15Hex	ペデスタル制御レジスタ3	00Hex
16Hex	CGMS_WSSレジスタ0	00Hex
17Hex	CGMS_WSSレジスタ1	00Hex
18Hex	CGMS_WSSレジスタ2	00Hex
19Hex	テレテキスト制御レジスタ	00Hex

ADV7170/ADV7171

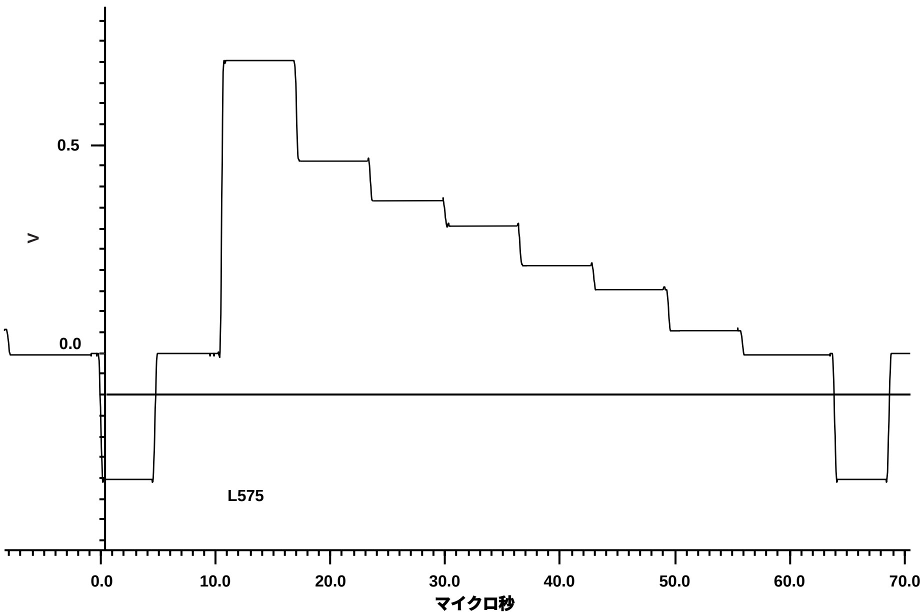
付録10

出力波形



ノイズ除去:0.00 dB
APL = 39.1%
625ラインPAL　フィルタリングなし
6.72 μ sで0.00Vにスロー・クランプ
精度モード OFF
同期
サウンド・イン・同期OFF
同期 = ソース
選択フレーム:1 2 3 4

図85．100/75% PALカラー・バー



APLニーズ同期 = ソース!
625ラインPAL　フィルタリングなし
6.72μsで0.00Vにスロー・クランプ
精度モードOFF
同期
サウンド・イン・同期OFF
同期 = A
選択フレーム:1

図86．100/75% PALカラー・バー輝度

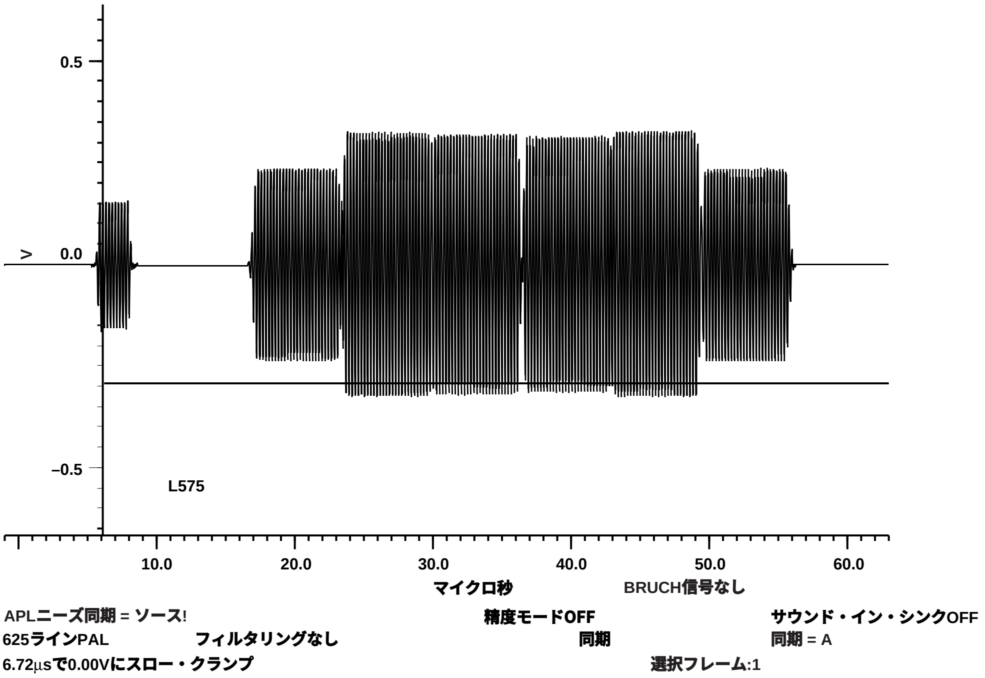


図87．100/75% PALカラー・バー・クロマ

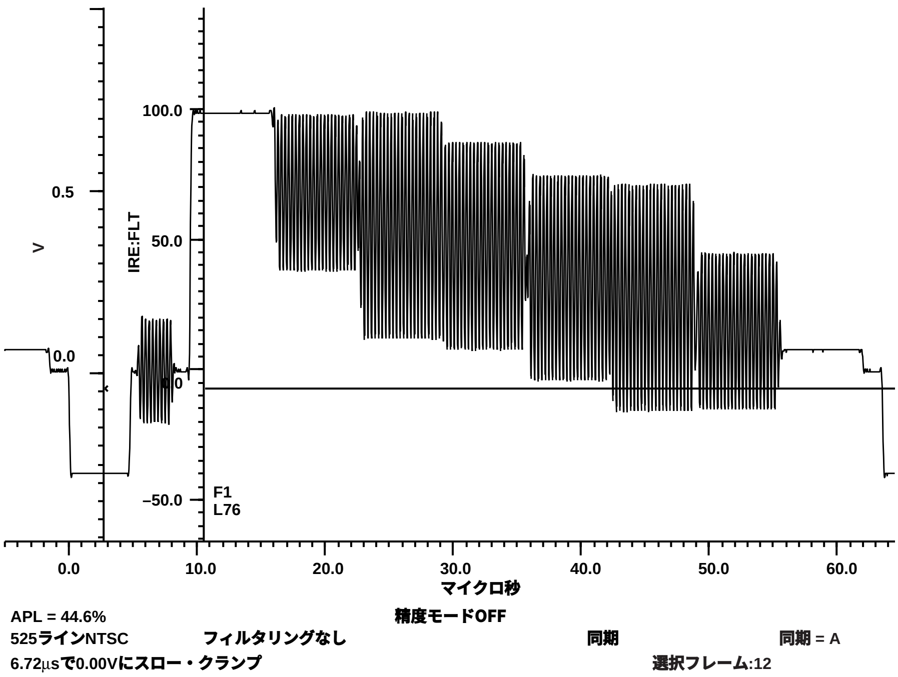


図88．100/75% NTSCカラー・バー

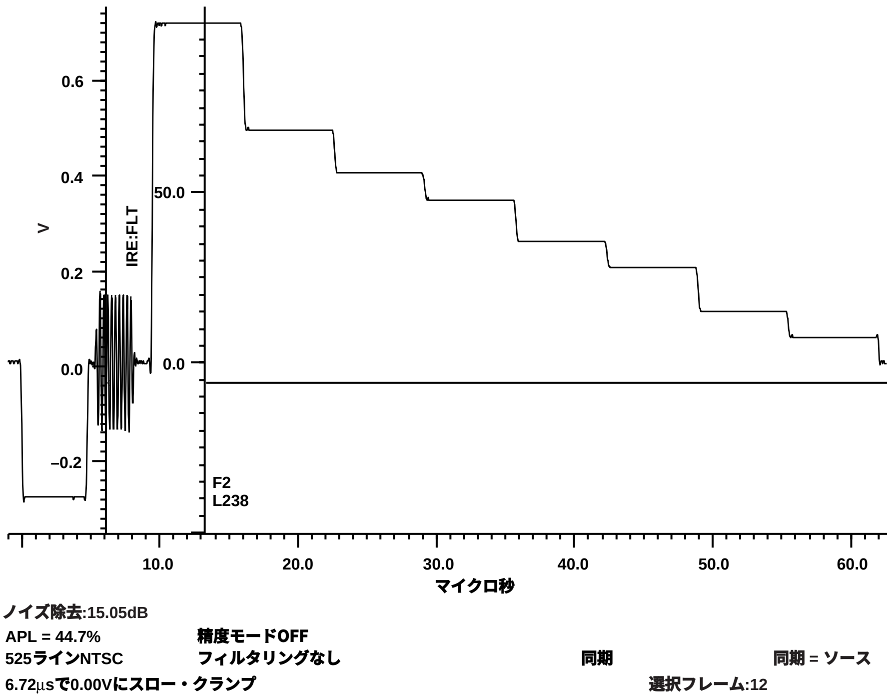


図89．100/75% NTSCカラー・バー輝度

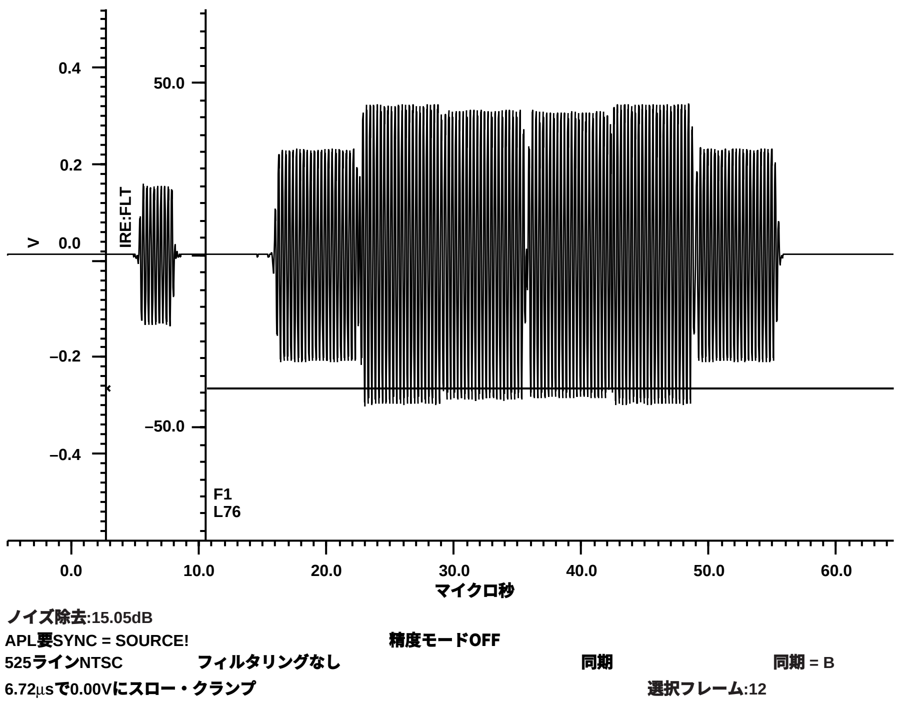


図90．100/75% NTSCカラー・バー・クロマ

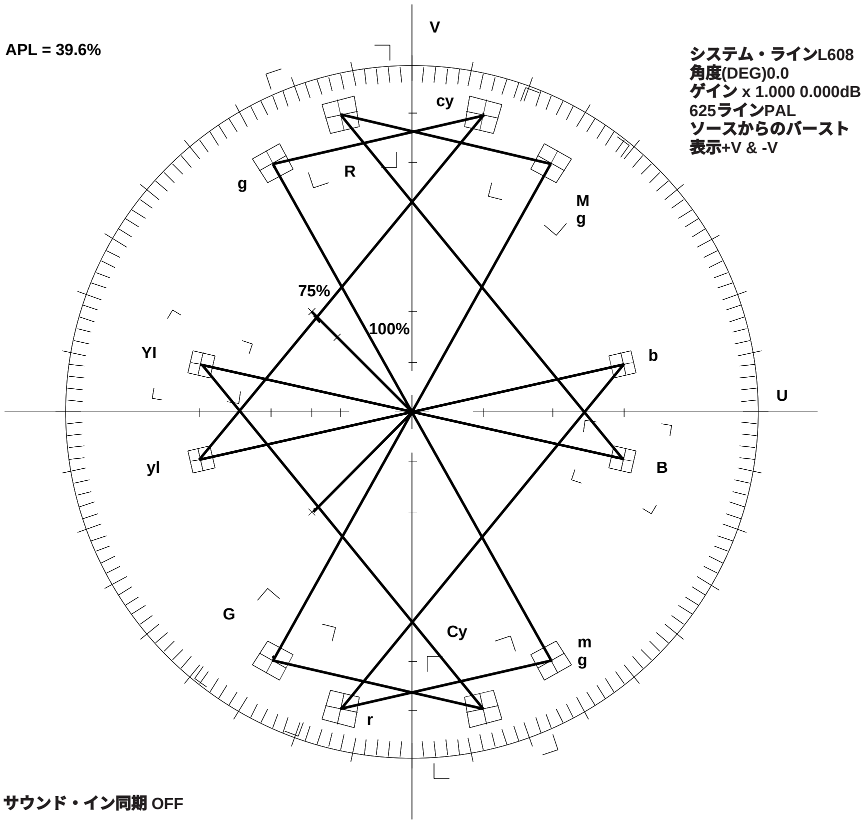


図91．PALベクトル・プロット

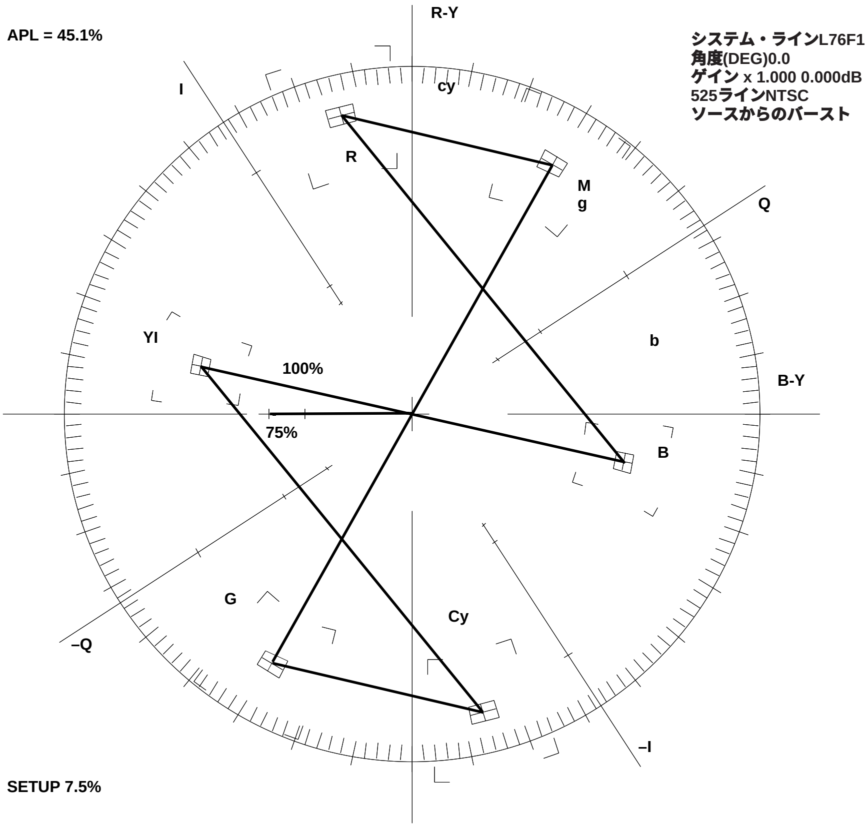


図92．NTSCベクトル・プロット

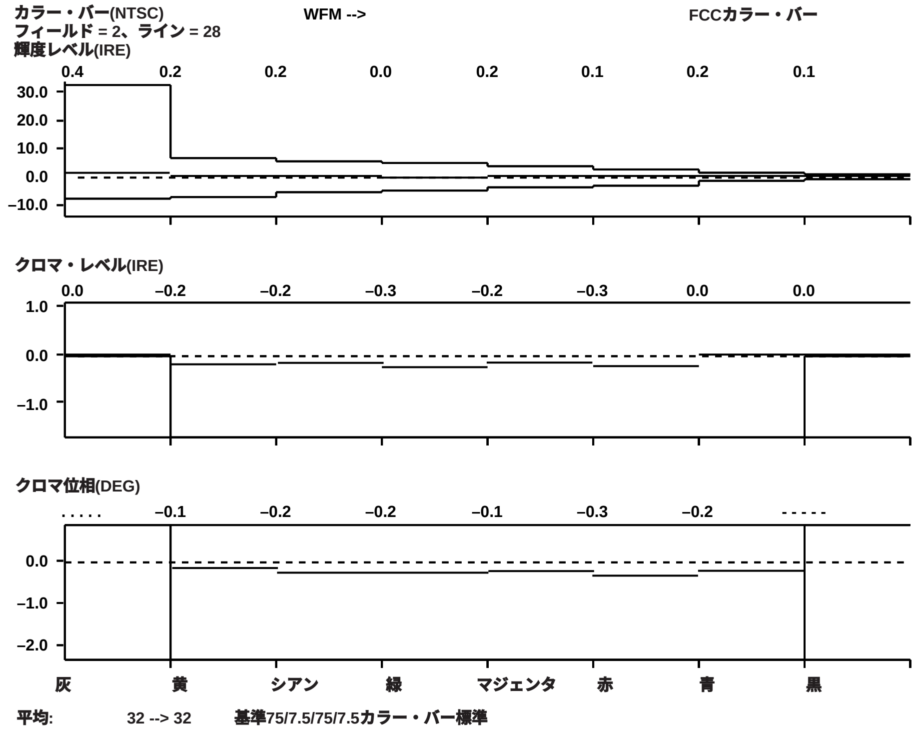


図93．NTSCカラー・バー測定

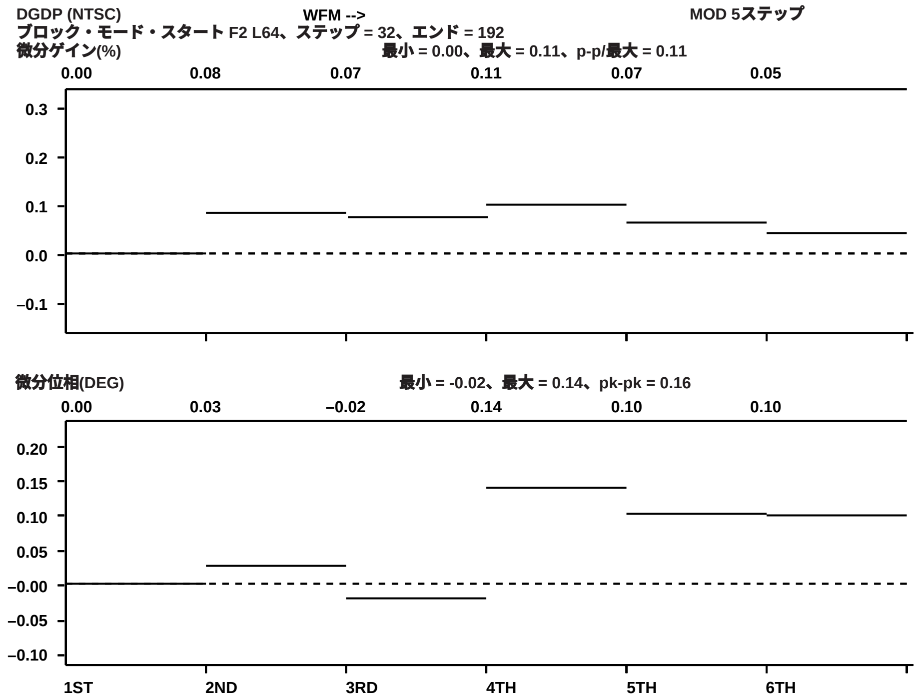


図94．NTSC 微分ゲインと位相測定

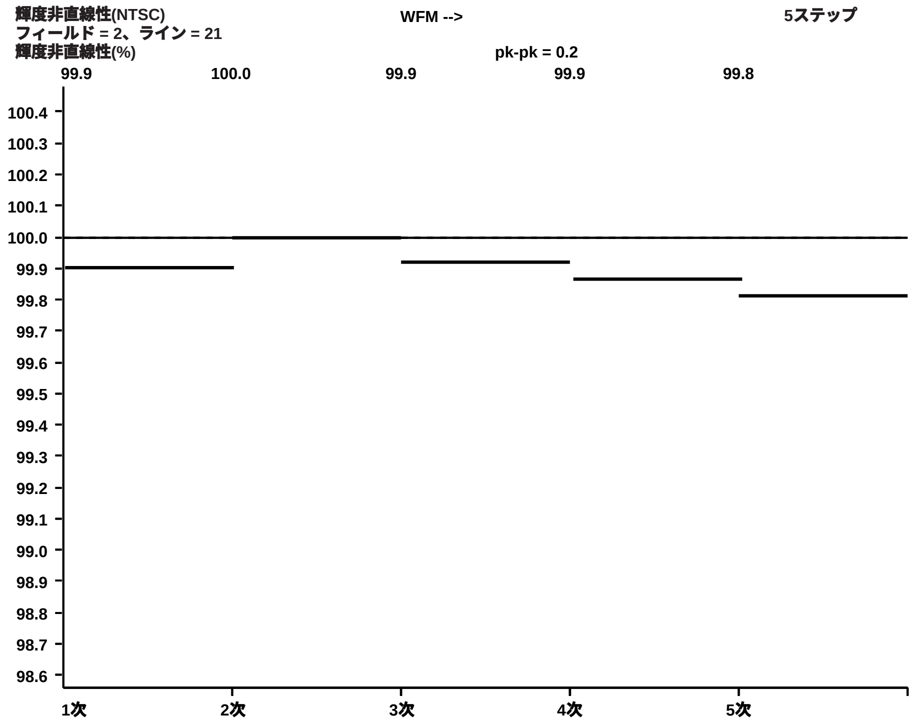


図95．NTSC輝度非直線性測定

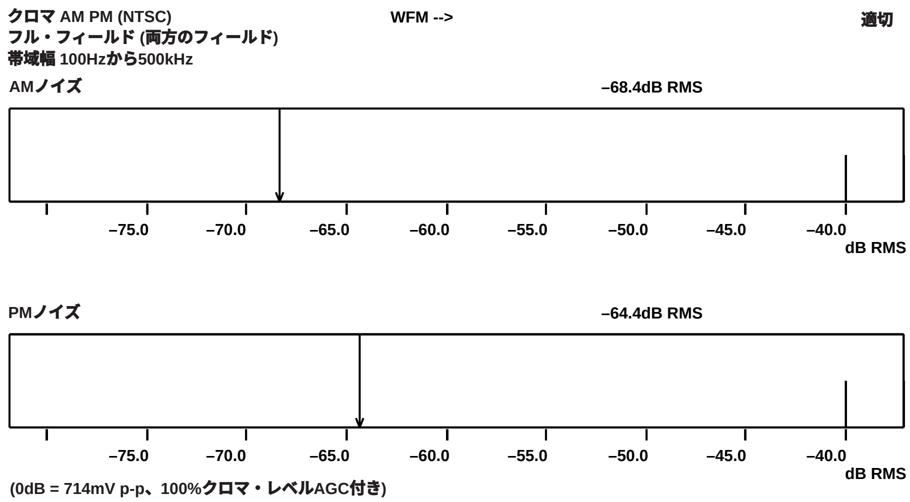


図96．NTSC AMPMノイズ測定

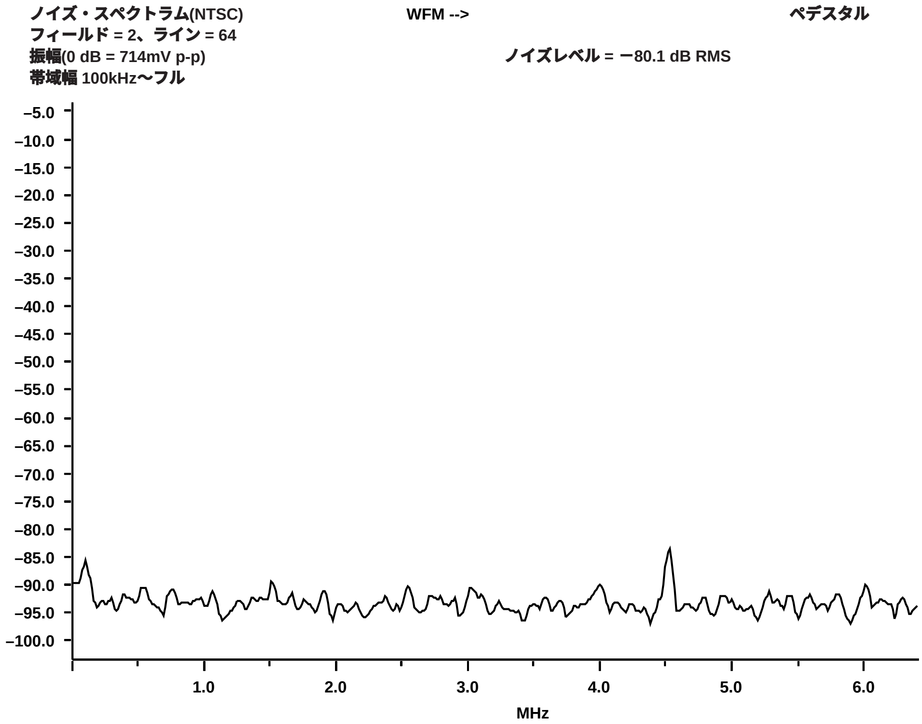


図97．NTSC S/N比ペデスタル測定

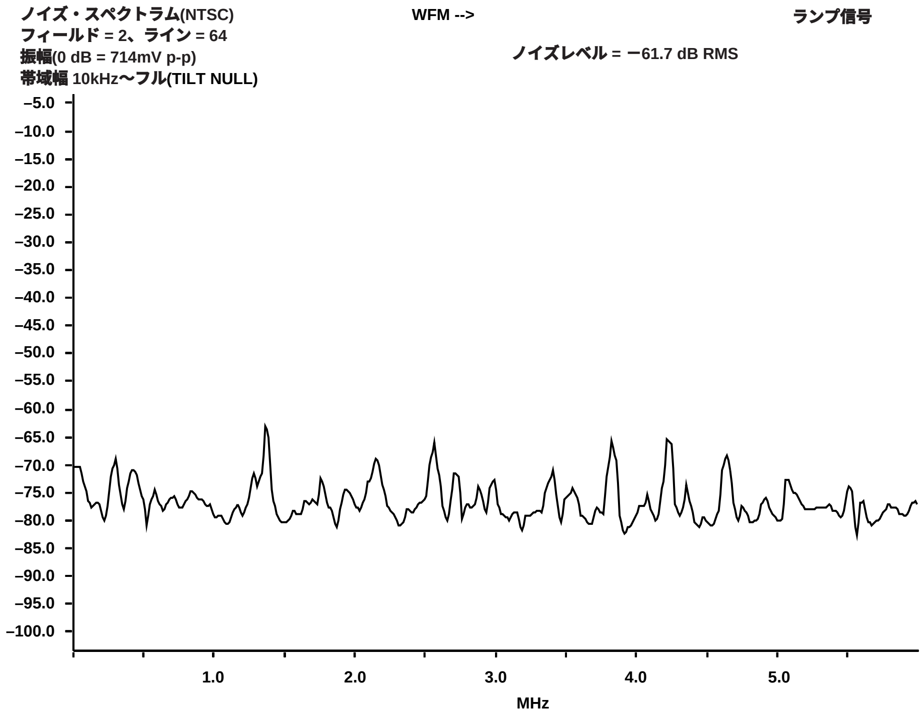


図98．NTSC S/N比ランプ測定

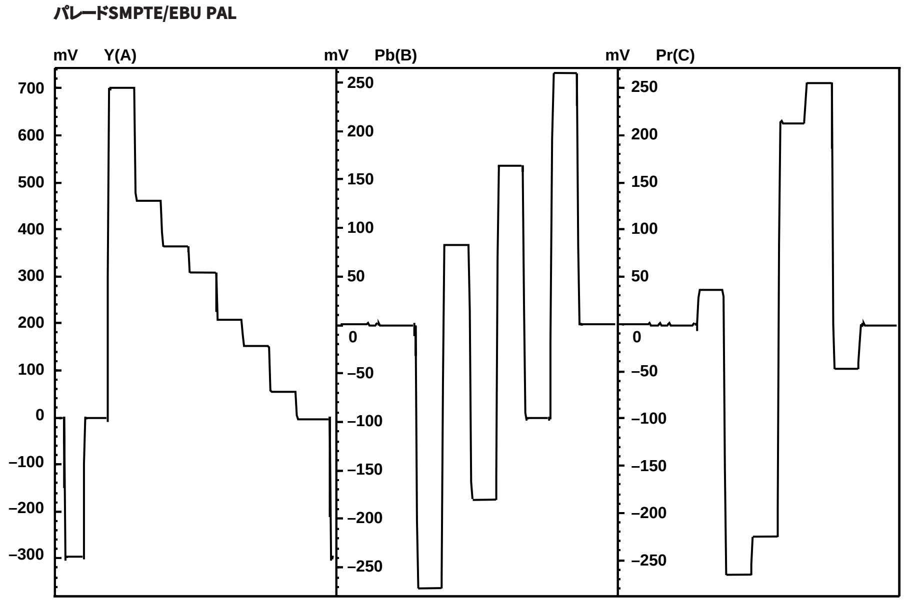


図99．PAL YUV パレード・プロット

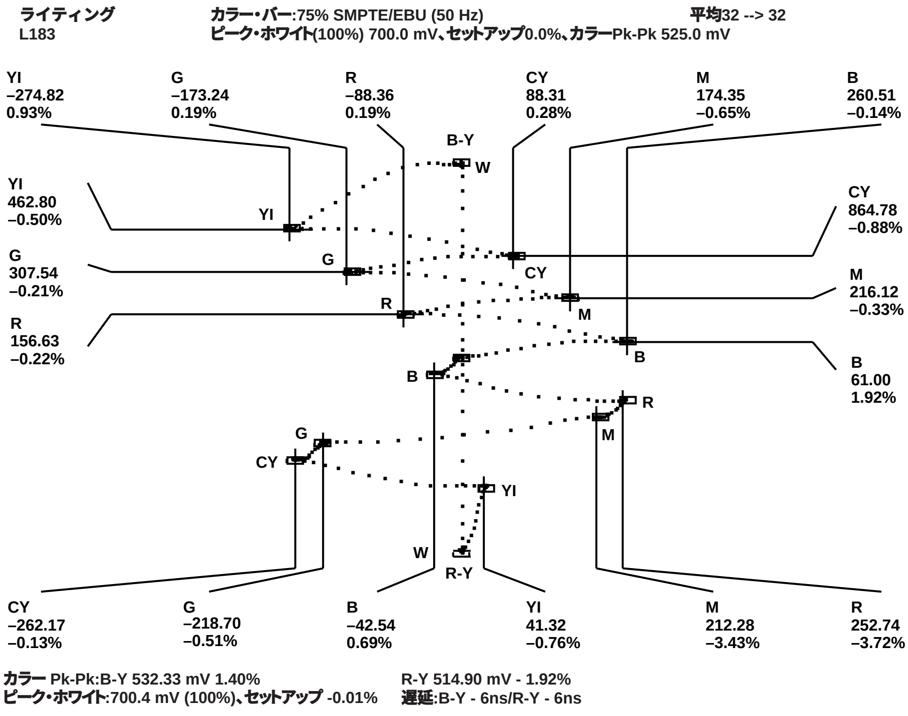


図100．PAL YUVライティング・プロット

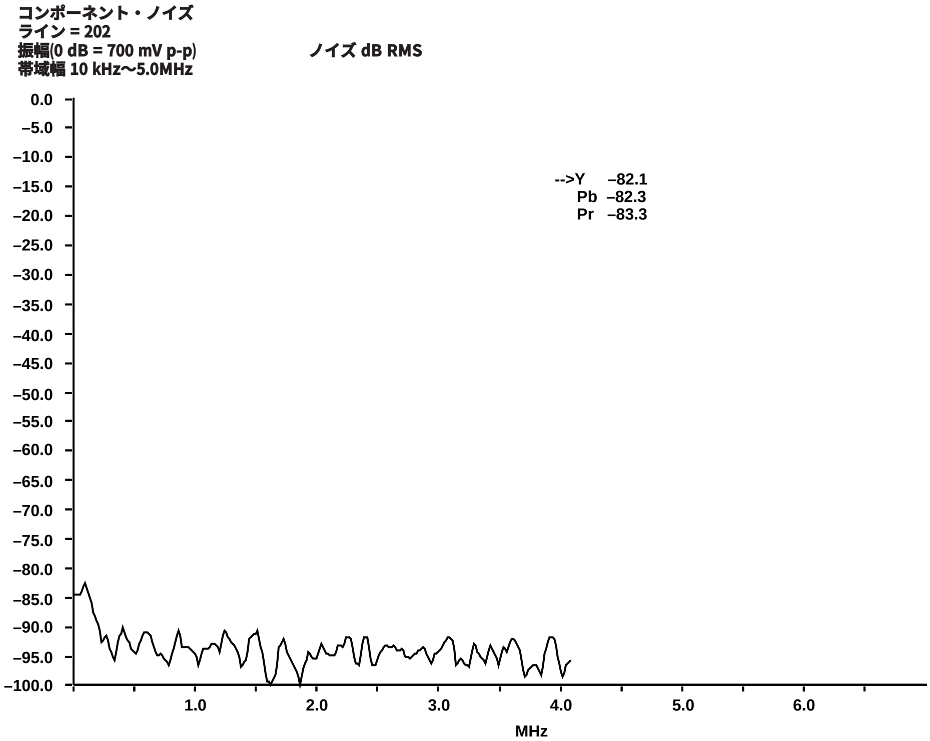


図101．PAL YUV S/N比プロット

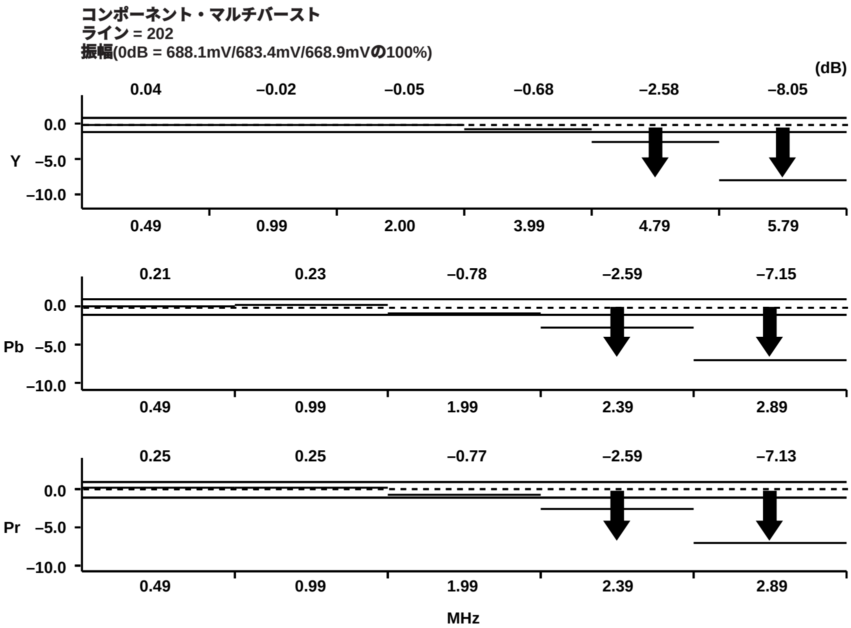


図102．PAL YUVマルチバースト・レスポンス

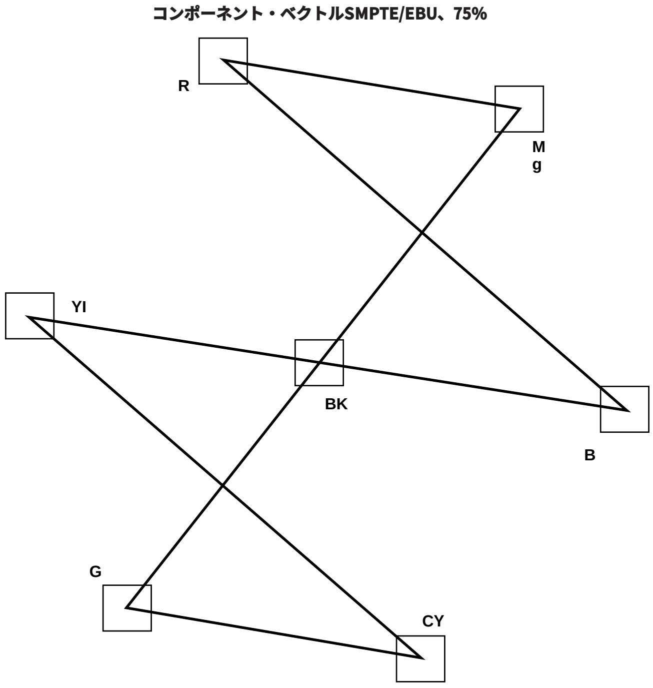


図103．PAL YUVベクトル・プロット

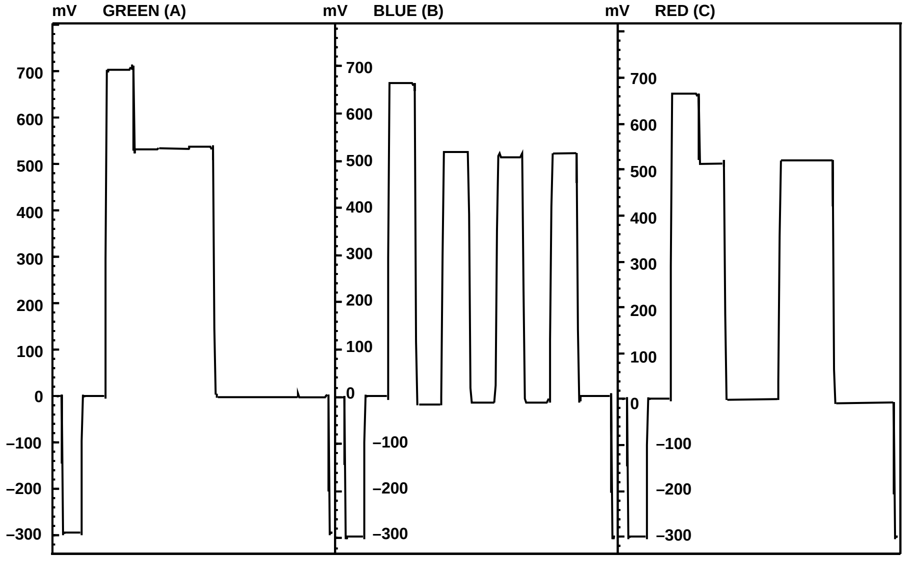


図104．PAL RGB波形

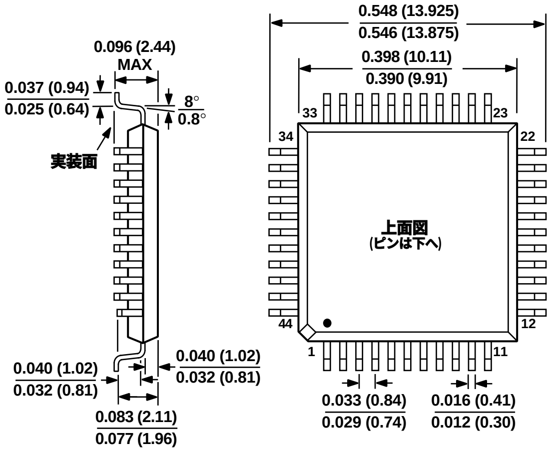
索引

目次 **ページ**

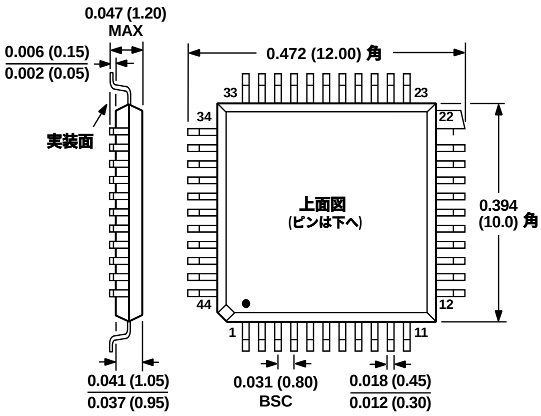
外形寸法

サイズはインチと（mm）で示します。

44ピン・プラスチック・クワッド・フラットパック（PQFP）
(S-44)



44ピン薄型プラスチック・クワッド・フラットパック（TQFP）
(SU-44)



D13123-2.7-10/99,1A

PRINTED IN JAPAN